

# TP 10 ELECTRONIQUE : VHDL (CALCUL SUR LES ENTIERS)

Réalisé par :

- PENDU Louis
- PELTIER Alexandre

## SOMMAIRE

PAGE 1 : Sommaire

PAGE 2 : Exercice 1

PAGE 3 : Exercice 2

PAGE 4 : Exercice 3

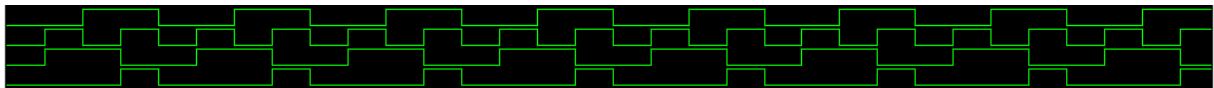
Les sources VHDL suivantes furent utilisées pour la réalisation des différents additionneurs :

- Demi\_add.vhdl
- Test\_demi\_add.vhdl
- Full\_add.vhdl
- Test\_fulladd.vhdl
- Adder4.vhdl
- Tes\_adder4.vhdl

## **Exercice 1 : HalfAdder**

Dans cet exercice le but était de réaliser en VHDL un composant demi-additionneur 1 bit HalfAdder. Nous avons utilisé les VHDL suivants : halfadder.vhdl et test\_halfadder.vhdl.

### **Chronogramme :**

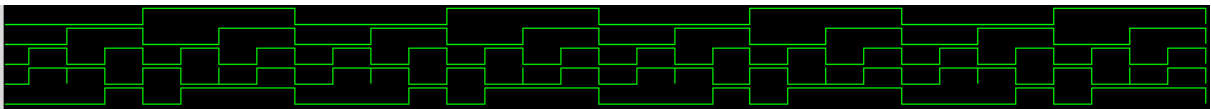


Sur ce chronogramme nous avons en entrée A (1° Ligne) et B (2° Ligne). En sortie nous avons S (3° Ligne) et R (4° Ligne). Lorsque A et B valent 0 alors S vaut 0 et R vaut 0. Ensuite lorsque A vaut 0 et B vaut 1 alors on a S à 1 et R à 0. Après on fait passer A à 1 et B à 0 ce qui donne 1 pour S et 0 pour R. Enfin lorsque A et B valent 1 alors S est à 0 et R à 1. Nous avons donc bien les caractéristiques d'un demi-additionneur 1 bit.

## Exercice 2 : FullAdder

En utilisant le demi-additionneur réalisé ci-dessus nous avons fait le composant additionneur complet 1 bit FullAdder. Pour cela on utilise les sources VHDL suivantes : fulladder.vhdl et test\_fulladder.vhdl.

### Chronogramme :

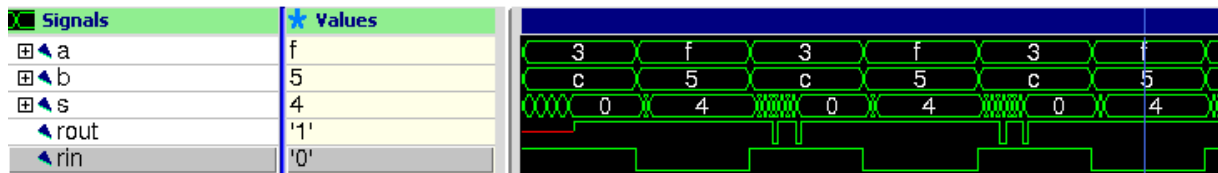


Sur ce chronogramme en entrée nous avons Rin (1° Ligne), B (2° Ligne) et A (3° Ligne) puis en sortie nous avons S (4° Ligne) et Rout (5° Ligne). Quand nos entrées sont initialisées à 0 alors nos sorties valent 0. Ensuite lorsque l'on passe A à 1 on a S à 1 et Rout à 0. Ensuite on a A à 0, B à 1 et Rin à 0 on obtient toujours S à 1 et Rout à 0 et cela ainsi de suite pour arriver au cas où toutes nos entrées sont à 1 et alors nos sorties sont à 1. Par conséquent on constate bien que l'on obtient un additionneur complet 1 bit à l'aide de deux demi-additionneurs 1 bit réalisé dans l'exercice précédent.

## Exercice 3 : Adder4

Dans cet exercice nous désirions réaliser un composant additionneurs 4 bits Adder4. Pour ce faire nous avons utilisé 4 additionneurs complets réalisés à l'exercice précédent. Nous avons pour ce composant en plus comme entrée une retenue entrante rin et en sortie une retenue sortante rout. Les sources VHDL utilisées sont : adder4.vhdl et test\_adder4.vhdl

### Chronogramme :



En entrée on a a et b sur 4 bits et rin. En sortie on a s sur 4 bits et rout. On constate que lorsque a vaut 3 et b vaut c (12) la somme vaut 15 c'est-à-dire f. Mais comme rin vaut 1 alors la sortie vaudra 0 et on aura une retenue sortante de 1. Ensuite lorsque a vaut f (15) et b 5 alors la sortie est égale à 4 et en retenue sortante on aura 1. Nous avons fait notre test pour 2 valeurs différentes du couple (a,b,rin). Cela nous parait suffisant pour voir que notre adder4 marche. Donc les résultats sont bien en accord avec la théorie.