**EISTI – ELECTRONIQUE ING 1  
TP1 – LOGIQUE ELEMENTAIRE**

Réalisé par :   
- Louis PENDU  
- Alexandre PELTIER

Page 1 : SOMMAIRE

Page 2 : Exercice 1

Page 3 : Exercice 2)a)

Page 4 : Exercice 2)b)

Page 5 : Exercice 2)c)

Page 6 : Exercice 2)d)

Page 7 : Exercice 2)e)

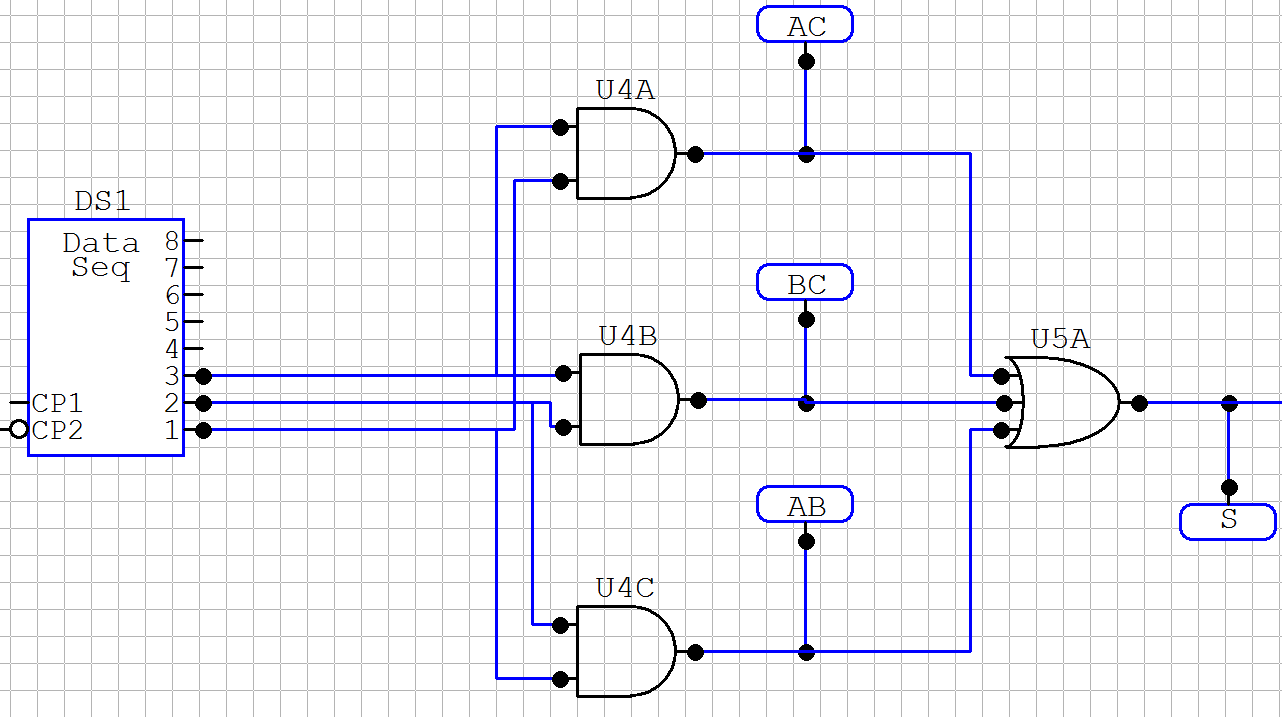
**Exercice 1 : Synthèse d’une fonction logique**

1. *Table de Vérité :*

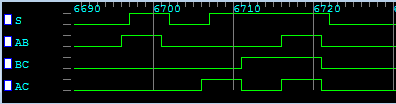
|  |  |  |  |
| --- | --- | --- | --- |
| **A** | **B** | **C** | **S** |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

S=ABC+AB+AC+BC  
**S=BC+AB+AC**

1. *Câblage de la fonction simplifiée dans CircuitMaker :*



*Chronogramme :*



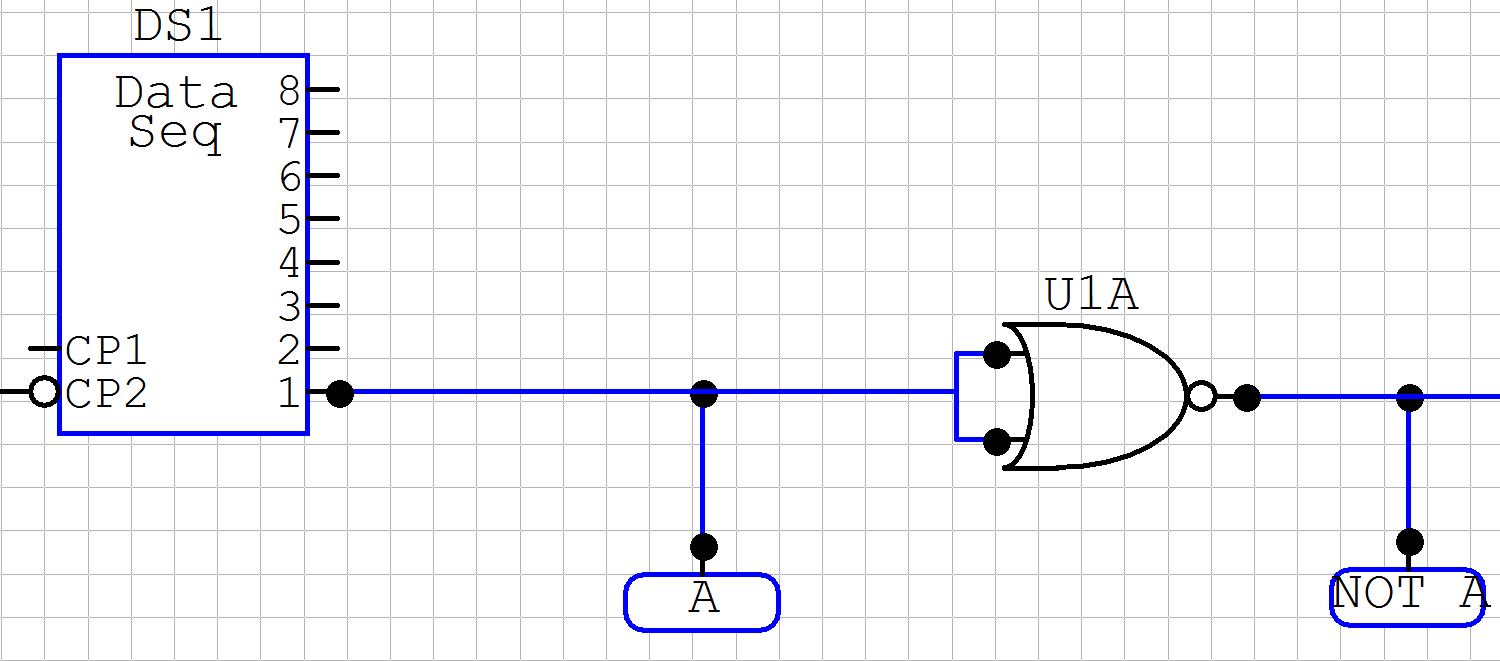
D’après l’étude théorique on constate que la sortie vaut 1 lorsque AB vaut 1 ou BC vaut 1 ou AC vaut 1. D’après le chronogramme obtenu on voit bien que cela se vérifie. En effet dès qu’une (au moins) des trois entrées vaut 1 alors la sortie vaut 1. On remarque aussi un décalage Δt dans la réponse de la sortie S.

**Exercice 2 : Fonction logique basée sur la porte NOR**

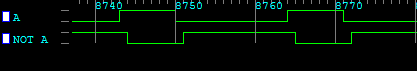
1. *Réalisation de la porte NON (NOT) :*

*Etude théorique :*=.=  
**NOT(A)=NOR(A,A)**

*CircuitMaker :*



*Chronogramme :*

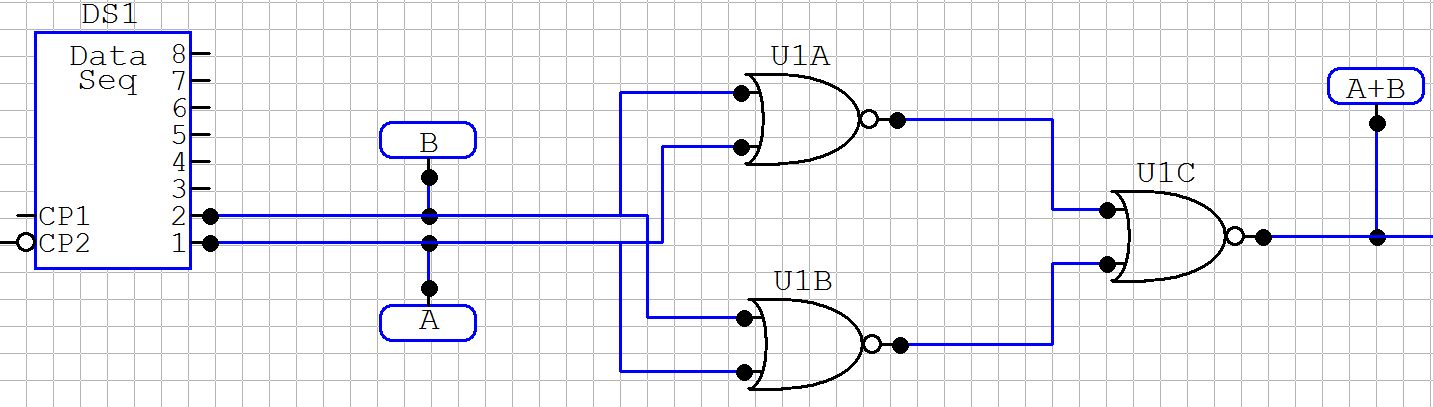


D’après notre étude on a la sortie S qui vaut 1 lorsque l’entrée A vaut 0 (et inversement). En effet on voit bien cela sur notre chronogramme. La réponse vaut l’opposé de la valeur de l’entrée ; d’où le NON. Il ya évidemment un décalage Δt pour la réponse de la sortie par rapport à l’entrée.

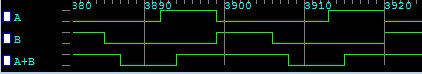
1. *Réalisation de la porte OU (OR) :*

*Etude théorique :*OR(A,B)=NOT(NOT(A,B))  
A+B==.  
**OR(A,B)=NOR(NOR(A,B),NOR(A,B))**

*CircuitMaker :*



*Chronogramme :*

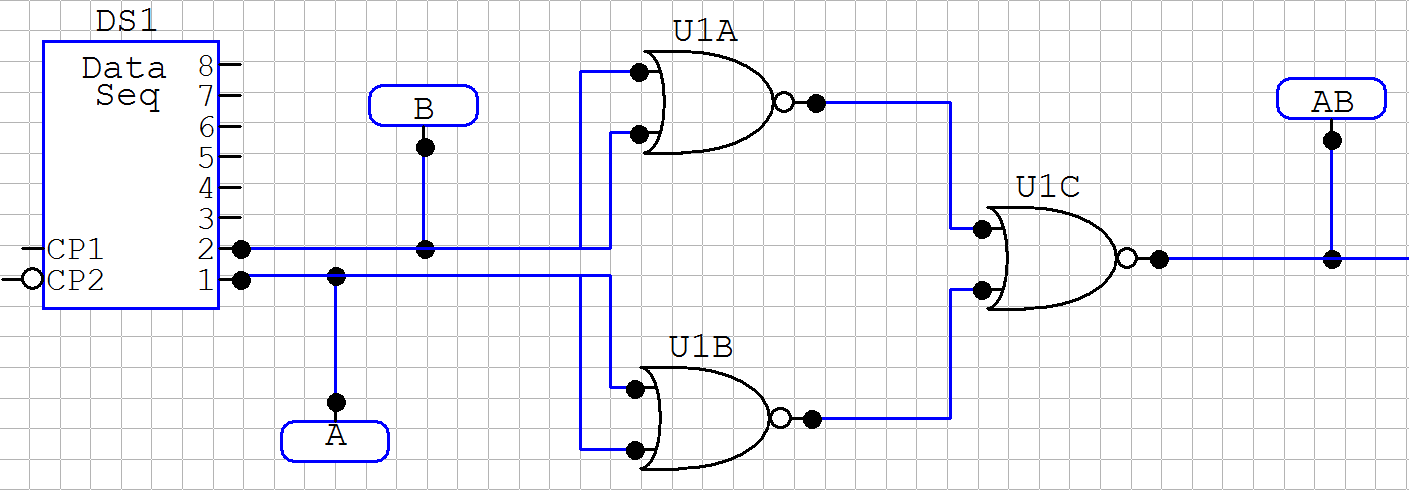


D’après l’étude théorique la sortie vaut 1 lorsque l’une (au moins) des deux entrées vaut 1. D’après le chronogramme on voit que lorsque A vaut 1 A+B vaut 1. De même lorsque B vaut 1 et enfin quand A et B valent 1 en même temps la réponse vaut 1. A+B ne vaut 0 que lorsque les 2 sont nulles. Il y a un décalage Δt entre l’entrée et la sortie.

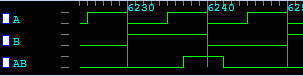
1. *Réalisation de la porte ET (AND) :*

*Etude théorique :*A.B==  
AND(A,B)=NOR(,)  
**AND(A,B)=NOR(NOR(A,A),NOR(B,B))**

*CircuitMaker :*



*Chronogramme :*

****

Pour la porte AND la sortie ne vaut 1 que lorsque les deux entrées valent 1. Donc ici AB vaut 1 pour A et B valant 1. Le chronogramme ci-dessus nous montre bien cela. Et lorsque l’une des deux entrées est nulle alors la sortie est nulle. Un décalage Δt peut être relevé dans la réponse de la sortie.

1. *Réalisation de la porte OU EXCLUSIF (XOR) :*

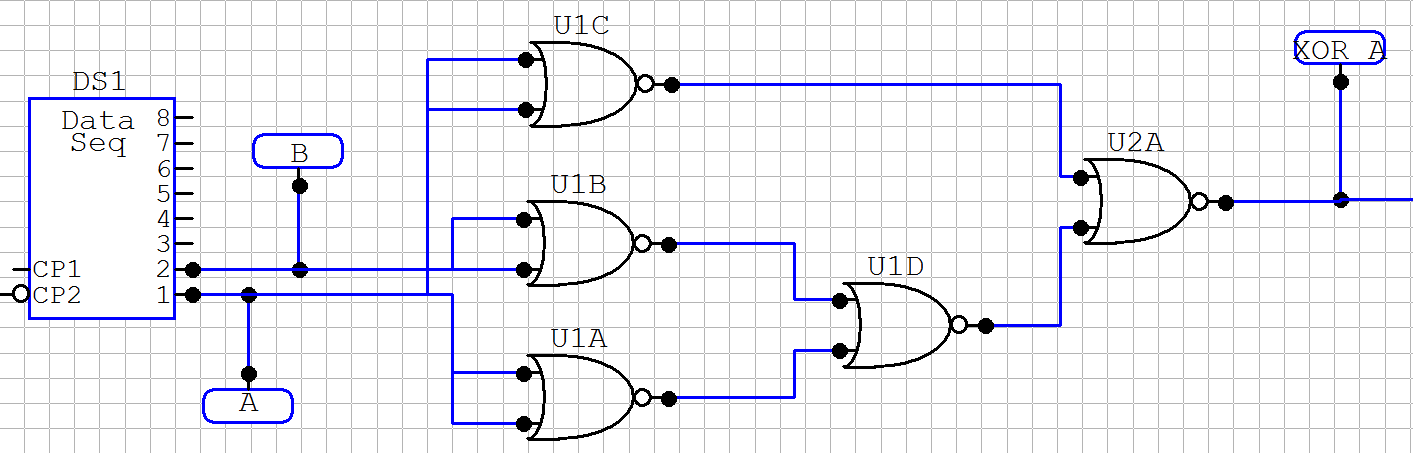
*Etude théorique :*XOR(A,B) =

= = .

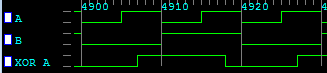
= . +=(A+B).(+)

**XOR(A,B)=NOR(NOR(A,B),NOR(NOR(A,A),NOR(B,B))**

*CircuitMaker :*



*Chronogramme :*

****

D’après notre étude théorique, pour la porte XOR, la sortie vaut 1 que lorsqu’une seule des deux entrées vaut 1. On voit bien sur le chronogramme que lorsque A ou B vaut 1 alors la sortie vaut 1 ; dans les autres cas la sortie vaut 0. On note un décalage Δt pour la réponse de la sortie.

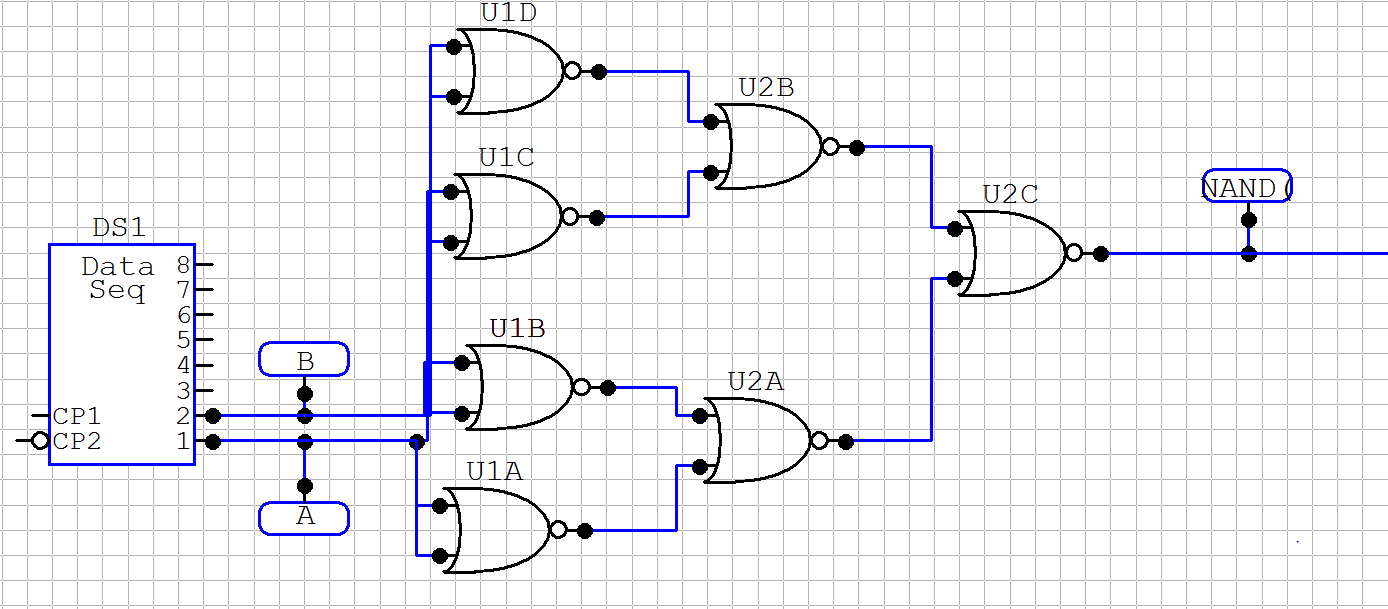
1. *Réalisation de la porte NON ET (NAND) :*

*Etude Théorique :*

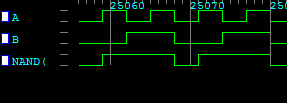
NAND(A,B)=(NOT(A))ET(NOT(B))

**NAND(A,B)=NOR(NOR(NOR(A,A),NOR(B,B)),NOR(NOR(A,A),NOR(B,B)))**

*CircuitMaker :*



*Chronogramme :*



D’après l’étude théorique NAND(A,B) vaut 0 quand A ET B vaut 1, et vaut 1 dans tous les autres cas. On retrouve bien ce résultat dans le chronogramme avec un léger décalage Δt.