

20

EXAMEN D'ELECTRONIQUE

Note

3 7 4 6

Durée : 1h30 - Tous documents autorisés, ordinateur excepté - Répondre exclusivement sur les feuilles jointes
 (∇) : Tous les circuits sont supposés de vitesse grande vis à vis de l'horloge pour négliger les brefs états transitoires.
 En revanche, les temps de propagation des circuits ne doivent pas être négligés.

NOM - Prénom :

Groupe :

1. Transcodeur BCD sur 3 bits $abc \rightarrow$ Grey sur 3 bits xyz

On donne la table de Transcodage permettant de passer du code BCD au code Grey sur 3 bits :

Table de Transcodage

code BCD abc	code Grey xyz
000	000
001	001
010	011
011	010
100	110
101	111
110	101
111	100

Compléter les tables suivantes, afin de déterminer les équations décrivant les sorties du Transcodeur :

x a	bc	00	01	11	10
0		0	0	0	0
1		1	1	1	1

$x = a$

y a	bc	00	01	11	10
0		0	0	1	1
1		1	1	0	0

$y = \bar{a}b + a\bar{b} = a \oplus b$

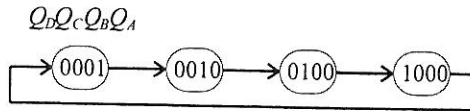
z a	bc	00	01	11	10
0		0	1	0	1
1		0	1	0	1

$z = \bar{b}c + b\bar{c} = b \oplus c$

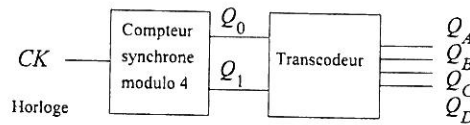
3

2. Synthèse de Compteur 4 bits (1) à partir d'un Compteur 2 bits + Transcodeur

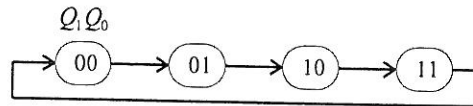
On veut synthétiser le compteur 4 bits qui compte dans la séquence suivante :



Une 1^{ère} solution consiste à utiliser un Compteur synchrone 2 bits à bascules JK *positive edge triggered* suivi d'un Transcodeur, selon le schéma suivant :



1. **Compteur 2 bits** : Compléter les tables suivantes, afin de déterminer les entrées J_0, K_0 et J_1, K_1 des bascules respectivement de sortie Q_0 et Q_1 permettant d'obtenir la séquence des états en sortie du compteur 2 bits :



Sortie de Q_0 :

J_0, K_0	$Q_1 \backslash Q_0$	0	1
0	0	1X	X1
1	0	1X	X1

$$\begin{cases} J_0 = 1 \\ K_0 = 1 \end{cases}$$

Sortie Q_1 :

J_1, K_1	$Q_1 \backslash Q_0$	0	1
0	0	0X	1X
1	0	X0	X1

$$\begin{cases} J_1 = Q_0 \\ K_1 = Q_0 \end{cases}$$

2. **Transcodeur** : Compléter les tables suivantes, afin de déterminer les équations décrivant les sorties du Transcodeur :

$Q_1 Q_0$	$Q_D Q_C Q_B Q_A$
00	0001
01	0010
10	0100
11	1000

Q_A	$Q_1 \backslash Q_0$	0	1
0	0	1	0
1	0	0	0

Q_B	$Q_1 \backslash Q_0$	0	1
0	0	0	1
1	0	0	0

Q_C	$Q_1 \backslash Q_0$	0	1
0	0	0	0
1	0	1	0

Q_D	$Q_1 \backslash Q_0$	0	1
0	0	0	0
1	0	0	1

$$Q_A = \overline{Q_1} \overline{Q_0}$$

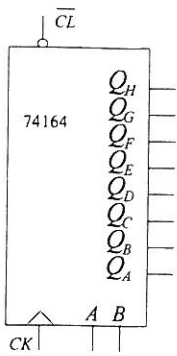
$$Q_B = \overline{Q_1} Q_0$$

$$Q_C = Q_1 \overline{Q_0}$$

$$Q_D = Q_1 Q_0$$

3. Synthèse de Compteur 4 bits (2) à partir d'un Registre à Décalage

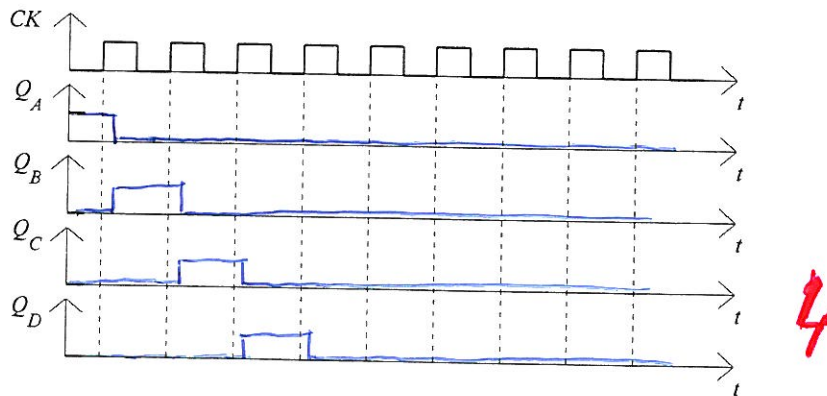
Une 2nde solution met en jeu un seul circuit (Registre à Décalage 8 bits - 74164), en n'utilisant que ses sorties $Q_D Q_C Q_B Q_A$.



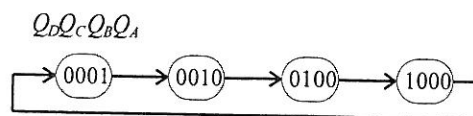
Entrées		Sorties									
\overline{CL} (CLEAR)	CK (CLOCK)	A	B	Q_{An}	Q_{Bn}	Q_{Cn}	Q_{Dn}	Q_{En}	Q_{Fn}	Q_{Gn}	Q_{Hn}
0	X	X	X	0	0	0	0	0	0	0	0
1	X sauf \uparrow	X	X	Q_{An-1}	Q_{Bn-1}	Q_{Cn-1}	Q_{Dn-1}	Q_{En-1}	Q_{Fn-1}	Q_{Gn-1}	Q_{Hn-1}
1	\uparrow (front montant)	1	1	1	Q_{An-1}	Q_{Bn-1}	Q_{Cn-1}	Q_{Dn-1}	Q_{En-1}	Q_{Fn-1}	Q_{Gn-1}
1	\uparrow	0	X	0	Q_{An-1}	Q_{Bn-1}	Q_{Cn-1}	Q_{Dn-1}	Q_{En-1}	Q_{Fn-1}	Q_{Gn-1}
1	\uparrow	X	0	0	Q_{An-1}	Q_{Bn-1}	Q_{Cn-1}	Q_{Dn-1}	Q_{En-1}	Q_{Fn-1}	Q_{Gn-1}

1. Test du registre à décalage : Compléter le chronogramme ci-dessous, avec les données suivantes :

$\overline{CL} = 1$ $A = B = 0$ Etat initial : $Q_D Q_C Q_B Q_A = 0001$



2. Utilisation du registre à décalage : Compléter l'équation suivante, permettant d'obtenir la séquence de comptage :



$\overline{CL} = 1$ $A = B = Q_{Dn-1}$ Etat initial : $Q_D Q_C Q_B Q_A = 0001$

EXAMEN D'ELECTRONIQUE

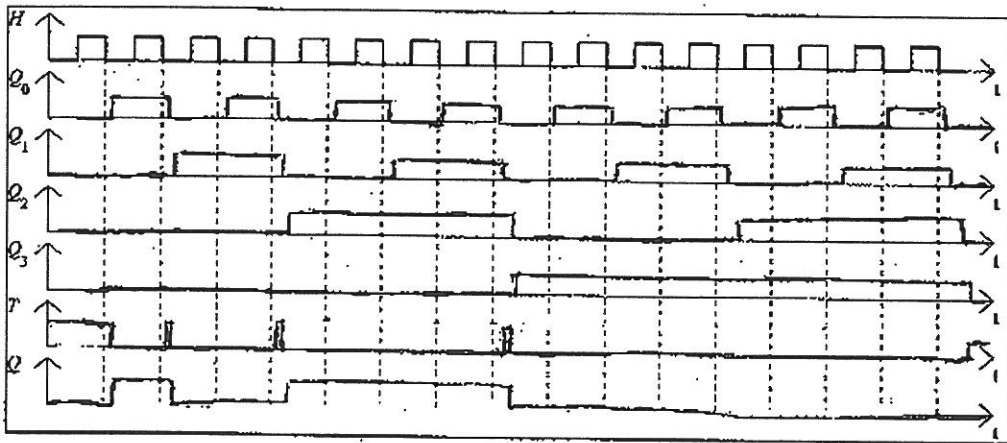
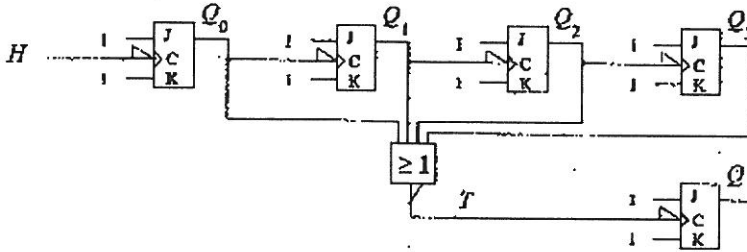
Durée : 2h - Tous documents autorisés - Répondre exclusivement sur les feuilles jointes

(V) : Tous les circuits sont supposés de vitesse grande vis à vis de l'horloge pour négliger les brefs états aléatoires. En revanche, les temps de propagation des circuits ne doivent pas être négligés.

NOM - Prénom : MAURICE Pierre - Yves Groupe C

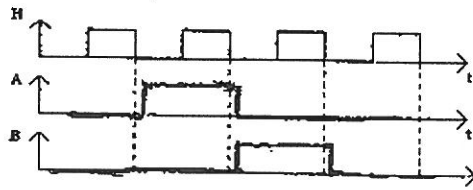
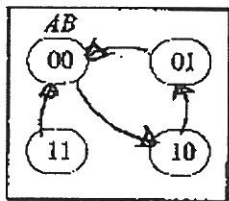
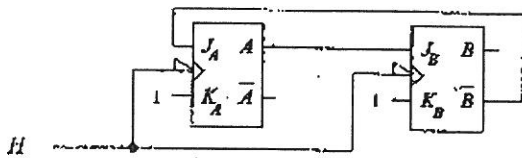
1. Compteur

Donner le chronogramme des variables logiques Q_0, Q_1, Q_2, Q_3, T et Q issues du compteur suivant, à partir de l'état initial $Q_0Q_1Q_2Q_3Q = 00000$:



2. Analyse de compteurs

1. Compléter l'automate représentant le compteur AB à 2 bascules JK: (indiquer tous les états/transitions possibles)

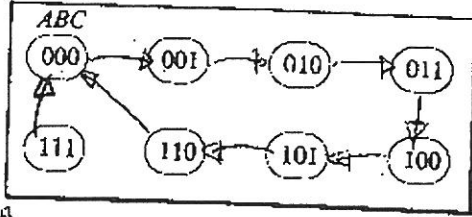
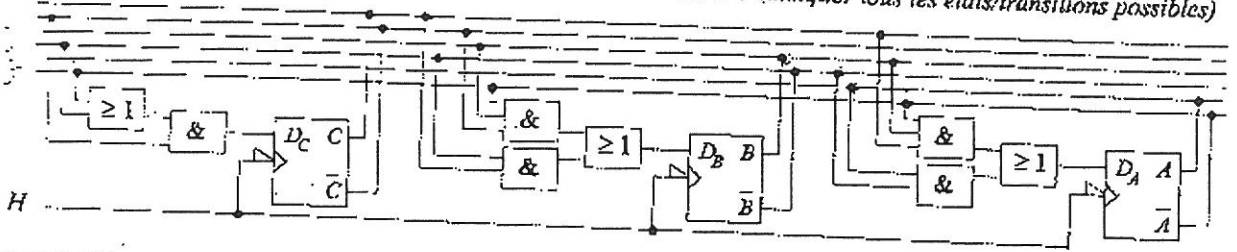


On a donc 3 états de AB possibles:

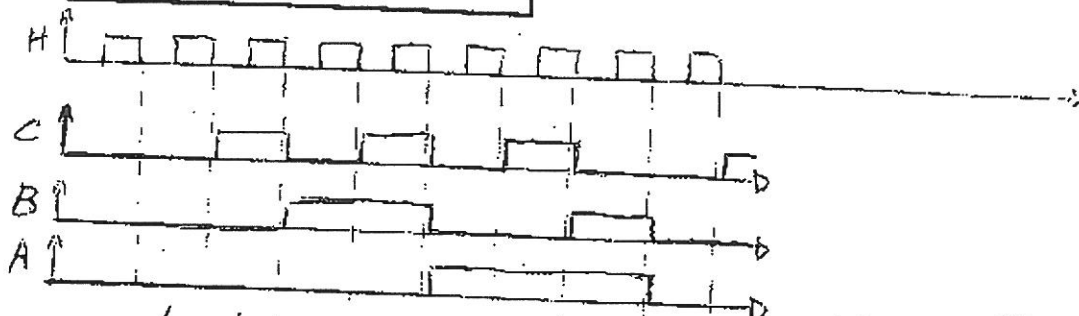
- 00
- 10
- 01

Dans le cas où $AB = 11$: le compteur est auto-correcteur.

2. Compléter l'automate représentant le compteur ABC à 3 bascules D : (indiquer tous les états/transitions possibles)



On suppose que les 6 lignes sont à 0 au départ
2

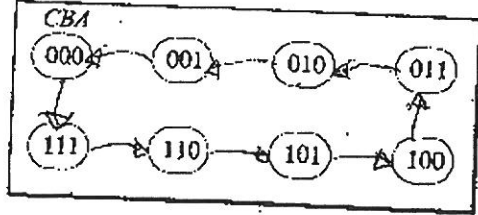
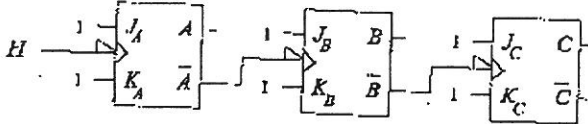


Les états possibles de ABC sont donc :

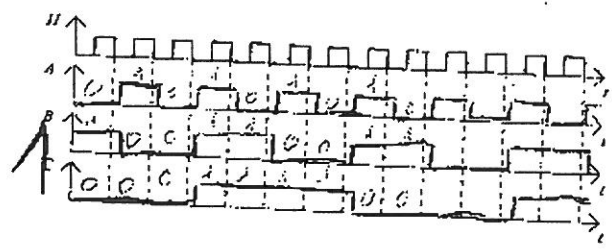
ABC
000
001
010
011
100
101 et 110
De plus, ce compteur est autocorrecteur : Si ABC = 111 alors l'état suivant est ABC = 000

3. Compteur 3 bits

1. Donner les états CBA du compteur 3 bits suivant, après l'état initial CBA = 010 et compléter l'automate :

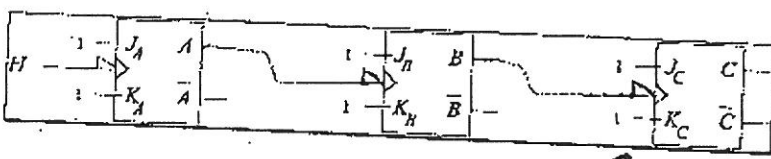


2



Ce compteur est dit rétrograde au vu de la séquence des états.

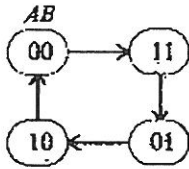
2. Proposer, sans ajouter de circuits, une modification pour transformer ce compteur en direct, c'est-à-dire non rétrograde, et toujours constitué des mêmes sorties CBA.



2

4. Synthèse de compteur synchrone

Synthétiser le compteur synchrone avec des bascules JK *positive edge triggered* qui compte dans la séquence suivante



en complétant le schéma joint :

J_A, K_A		B	
		0	1
A	0	1X	1X
	1	X1	X1

J_B, K_B		B	
		0	1
A	0	1X	X1
	1	0X	X0

$$\begin{cases} J_A = 1 \\ K_A = 1 \end{cases}$$

$$\begin{cases} J_B = \bar{A} \\ K_B = A \end{cases}$$

