

EXAMEN D'ELECTRONIQUE

Note

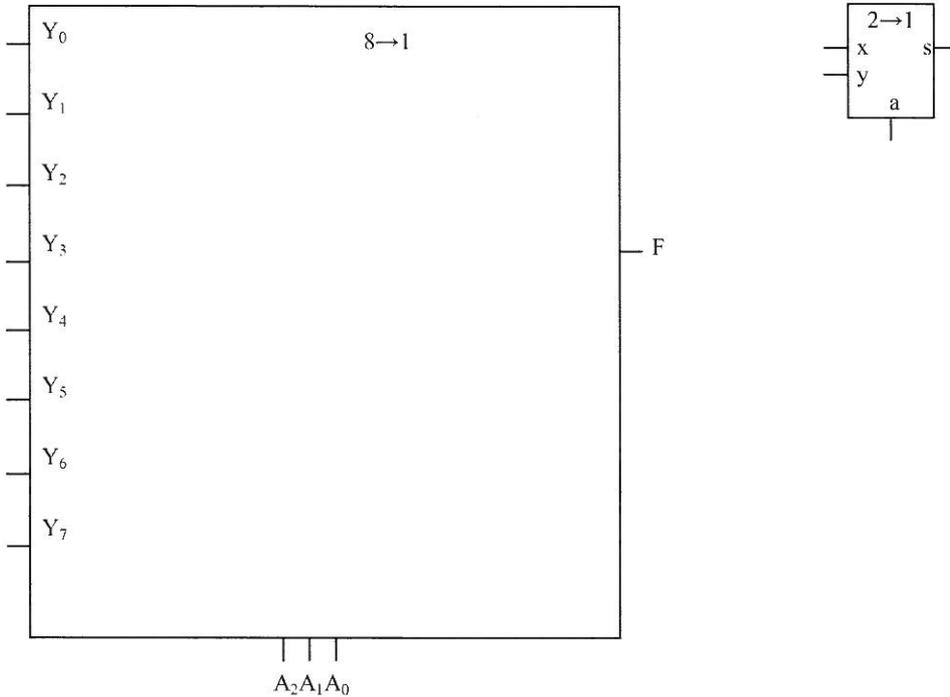
Durée 1h30 - Tous documents et calculatrice autorisés sauf Ordinateur - Répondre exclusivement sur cette feuille
 (V) : Tous les circuits sont supposés de vitesse grande vis à vis de l'horloge pour négliger les brefs états transitoires.
 En revanche, les temps de propagation des circuits ne doivent pas être négligés.

NOM - Prénom :

Groupe :

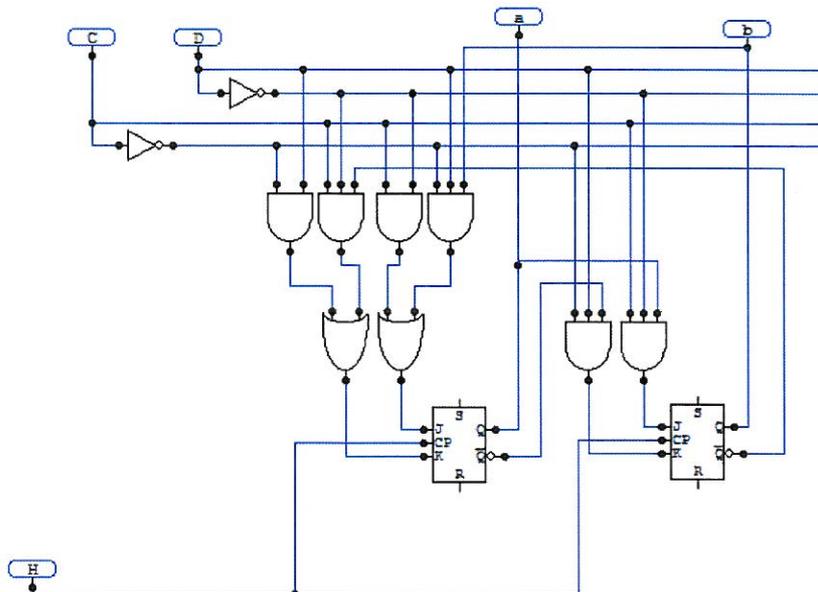
1. Combinaison de multiplexeurs (3 points)

Construire le multiplexeur 8->1 suivant en vous servant uniquement de multiplexeurs 2->1 (A_2 représente le bit de poids fort dans l'adresse $A_2A_1A_0$).



2. Analyse d'un Compteur synchrone à 2 entrées externes (8 points)

Un compteur synchrone, indiquant à l'aide d'un mot de 2 bits ba le nombre de données contenues dans un buffer (mémoire tampon) d'une capacité de 3 données, est régi par 2 entrées C et D dont les valeurs sont prises en compte uniquement au **front montant** d'une horloge externe H . La synthèse de ce système séquentiel à base de bascules JK conduit à l'architecture suivante :



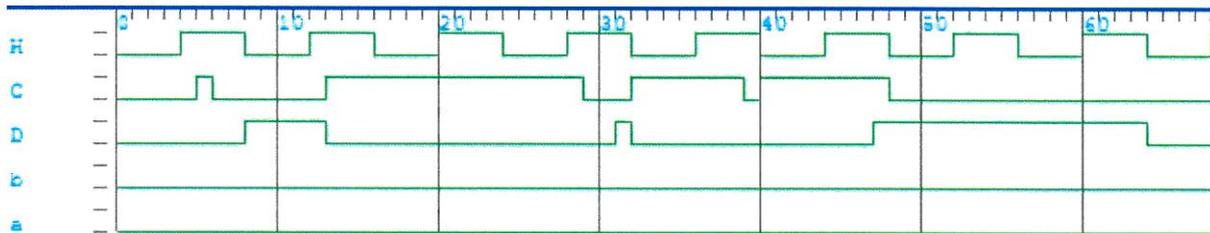
1. Donner les expressions des entrées J_b, K_b (de la bascule JK de sortie b), J_a et K_a (de la bascule JK de sortie a) :

$J_b =$	$K_b =$	$J_a =$	$K_a =$
---------	---------	---------	---------

2. Compléter la table suivante ($b^+ a^+$ représente l'état futur immédiat à l'état courant ba du compteur dans la séquence de l'automate, suite à une transition CD) :

état	CD	ba	$J_b K_b$	$J_a K_a$	$b^+ a^+$
0	00	00			
1	00	01			
3	00	11			
2	00	10			
0	01	00			
1	01	01			
3	01	11			
2	01	10			
0	11	00			
1	11	01			
3	11	11			
2	11	10			
0	10	00			
1	10	01			
3	10	11			
2	10	10			

3. Compléter le chronogramme (Tracer l'évolution des signaux b, a sur toute la durée). Les bascules ont l'état initial $ba = 00$



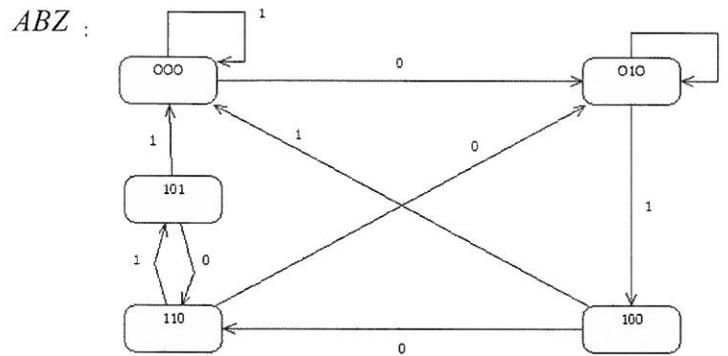
4. Donner le rôle des entrées C et D dans ce compteur :

- $CD = 00$:
- $CD = 01$:
- $CD = 10$:
- $CD = 11$:

3. Synthèse d'une serrure électronique (9 points)

Sur une ligne électrique de transmission L arrivent des données binaires en série dont on cherche à détecter une séquence particulière (clé). Les bits de la séquence à détecter sont pris en compte au *front montant* d'un signal d'horloge H et sont constitués de 4 bits notés $a b c d$. La séquence examinée concerne toujours les 4 derniers bits lus (décalage d'un bit à chaque top d'horloge). La détection du 4^{ème} bit de la séquence a pour effet d'activer la serrure Z (au niveau logique haut) pendant une période d'horloge.

L'automate suivant (**séquence des états ABZ**) indique les transitions possibles sur les fronts montants de l'horloge suivant la valeur de L (en étiquette). Les états et transitions non représentés sont indéfinis et n'influent pas sur la synthèse du circuit :



1. Quelle est la séquence à détecter :

<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>

2. Compléter la table suivante ($A^+B^+Z^+$ représente l'état futur immédiat à l'état courant ABZ du circuit dans la séquence de l'automate suite à une transition L ; J_AK_A sont les entrées de la bascule JK de sortie A ; J_BK_B les entrées de la bascule JK de sortie B ; J_ZK_Z les entrées de la bascule JK de sortie Z)

état	ABZ	L	$A^+B^+Z^+$	J_AK_A	J_BK_B	J_ZK_Z
0	000	0				
0	000	1				
5	001	1				
5	001	0				
1	010	0				
1	010	1				
6	011	1				
6	011	0				
3	110	0				
3	110	1				
7	111	1				
7	111	0				
2	100	0				
2	100	1				
4	101	1				
4	101	0				

3. En déduire les tables de Karnaugh suivantes permettant de déterminer les entrées $J_A, K_A, J_B, K_B, J_Z, K_Z$:

J_A	ZL	00	01	11	10
AB					
00					
01					
11					
10					

K_A	ZL	00	01	11	10
AB					
00					
01					
11					
10					

J_B	ZL	00	01	11	10
AB					
00					
01					
11					
10					

K_B	ZL	00	01	11	10
AB					
00					
01					
11					
10					

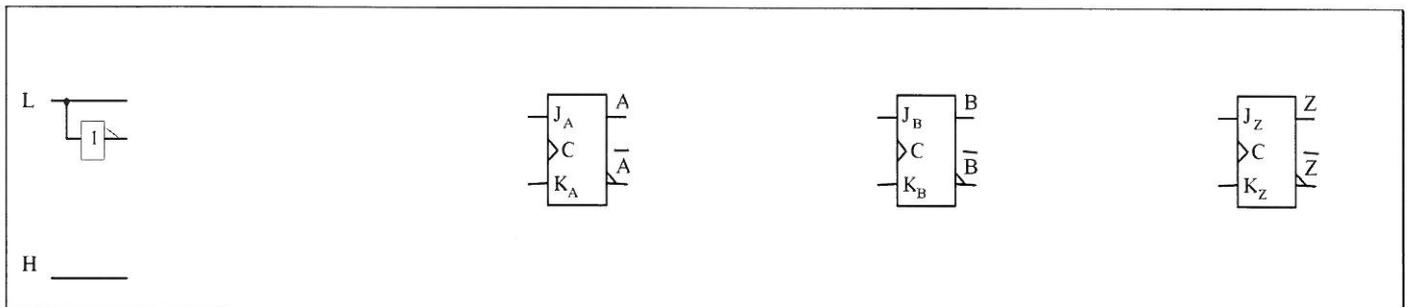
J_Z	Z_L				
AB		00	01	11	10
00					
01					
11					
10					

K_Z	Z_L				
AB		00	01	11	10
00					
01					
11					
10					

4. Indiquer les expressions **les plus simples** des entrées $J_A, K_A, J_B, K_B, J_Z, K_Z$:

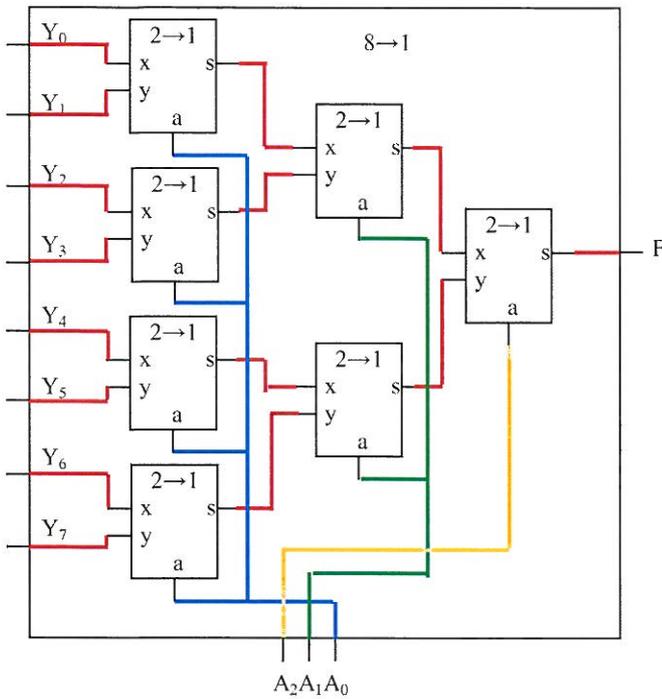
$J_A =$	$K_A =$	$J_B =$	$K_B =$
$J_Z =$	$K_Z =$		

5. Compléter le schéma de réalisation (câblage) de la serrure (portes ET et OU à 2 entrées exclusivement, norme européenne)



EXAMEN D'ELECTRONIQUE - CORRIGE

1. Combinaison de multiplexeurs (4 points)



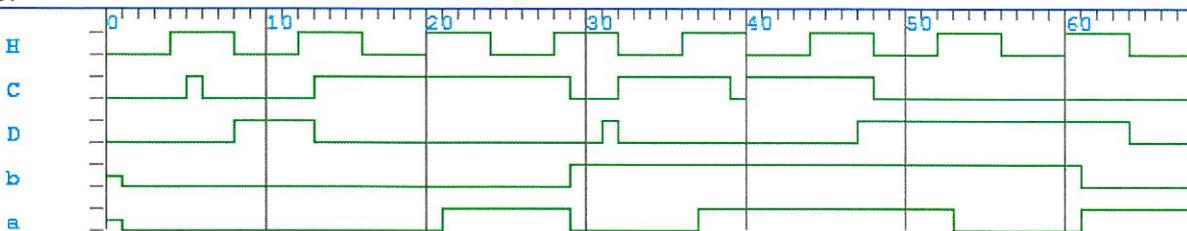
2. Analyse d'un Compteur synchrone à 2 entrées externes

1. $J_b = C \bar{D} a$ $K_b = \bar{C} D \bar{a}$ $J_a = C \bar{D} + \bar{C} D b$ $K_a = \bar{C} D + C \bar{D} \bar{b}$

2.

état	CD	ba	$J_b K_b$	$J_a K_a$	$b^+ a^+$
0	00	00	00	00	00
1	00	01	00	00	01
3	00	11	00	00	11
2	00	10	00	00	10
0	01	00	01	01	00
1	01	01	00	01	00
3	01	11	00	11	10
2	01	10	01	11	01
0	11	00	00	00	00
1	11	01	00	00	01
3	11	11	00	00	11
2	11	10	00	00	10
0	10	00	00	11	01
1	10	01	10	11	10
3	10	11	10	10	11
2	10	10	00	10	11

3.



4. - $CD = 00$: aucun changement - $CD = 01$: décrementer le compteur (lecture)
 - $CD = 10$: incrémenter le compteur (écriture) - $CD = 11$: aucun changement

3. Serrure électronique

1.

<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>
0	1	0	1

2.

état	ABZ	L	$A^+B^+Z^+$	$J_A K_A$	$J_B K_B$	$J_Z K_Z$
0	000	0	0 1 0	0X	1X	0X
0	000	1	0 0 0	0X	0X	0X
5	001	1	XXX	XX	XX	XX
5	001	0	XXX	XX	XX	XX
1	010	0	0 1 0	0X	X0	0X
1	010	1	1 0 0	1X	X1	0X
6	011	1	XXX	XX	XX	XX
6	011	0	XXX	XX	XX	XX
3	110	0	0 1 0	X1	X0	0X
3	110	1	1 0 1	X0	X1	1X
7	111	1	XXX	XX	XX	XX
7	111	0	XXX	XX	XX	XX
2	100	0	1 1 0	X0	1X	0X
2	100	1	0 0 0	X1	0X	0X
4	101	1	0 0 0	X1	0X	X1
4	101	0	1 1 0	X0	1X	X1

3.

$J_A ZL$	AB	00	01	11	10
00	0	0	X	X	
01	0	1	X	X	
11	X	X	X	X	
10	X	X	X	X	

$K_A ZL$	AB	00	01	11	10
00	X	X	X	X	
01	X	X	X	X	
11	1	0	X	X	
10	0	1	1	0	

$J_B ZL$	AB	00	01	11	10
00	1	0	X	X	
01	X	X	X	X	
11	X	X	X	X	
10	1	0	0	1	

$K_B ZL$	AB	00	01	11	10
00	X	X	X	X	
01	0	1	X	X	
11	0	1	X	X	
10	X	X	X	X	

$J_Z ZL$	AB	00	01	11	10
00	0	0	X	X	
01	0	0	X	X	
11	0	1	X	X	
10	0	0	X	X	

$K_Z ZL$	AB	00	01	11	10
00	X	X	X	X	
01	X	X	X	X	
11	X	X	X	X	
10	X	X	1	1	

4.

$$J_A = BL \quad K_A = \overline{BL} + B\overline{L} = B \oplus L \quad J_B = \overline{L} \quad K_B = L$$

$$J_Z = ABL \quad K_Z = 1$$

5. Compléter le schéma de réalisation (câblage) du compteur (portes ET et OU à 2 entrées exclusivement, norme européenne)

