

# Examen Blanc de VHDL

Documentation et Calculatrice Interdites.

Durée 2h30

École Internationale des Sciences du Traitement de l'Information  
Jorge Luiz MAYORQUIM

Nom : \_\_\_\_\_

## 1.1 Éléments disponibles

Les descriptions des entités des composants disponibles pour la section 1.1.1 sont les suivantes :

### **BASCULE D**

```
1 ENTITY Bascule_D IS
2   PORT(
3     D      : IN  std_logic;
4     CLRN   : IN  std_logic;
5     PRN    : IN  std_logic;
6     CLK    : IN  std_logic;
7     Q      : OUT std_logic
8   );
9 END Bascule_D;
```

### **Addition de 4 valeurs binaires**

```
1 ENTITY Full_adder IS
2   PORT(
3     A      : IN  std_logic_vector(3 downto 0);
4     B      : IN  std_logic_vector(3 downto 0);
5     Cin    : IN  std_logic;
6     Cout   : OUT std_logic;
7     Q      : OUT std_logic_vector(3 downto 0)
8   );
9 END Full_adder;
```

**Pour les portes logiques AND, OR, XOR, NXOR, NAND et NOR  
les positionnements des entrées et des sorties sont égaux.**

## 2 † 1.1 Éléments disponibles

```
1 ENTITY p_XXX IS
2   PORT (
3     A      : IN  std_logic;
4     B      : IN  std_logic;
5     S      : OUT std_logic
6   );
7 END p_XXX;
```

### Porte logique NOT

```
1 ENTITY p_not IS
2   PORT (
3     A      : IN  std_logic;
4     S      : OUT std_logic
5   );
6 END p_not;
```

#### 1.1.1 Projet

##### 1.1.1.1 Question 1. - 4.0 Points

Faire la conception en VHDL au niveau d'abstraction structure du **compteur de 0 à 7**. Ce composant a les entrées : clock, load, reset et la valeur parallèle **ABCD**. Les sorties sont : retenue et la valeur parallèle **sortie\_ABCD**.

##### 1.1.1.2 Question 2. - 10.0 Points

Considérer l'addition arithmétique de deux chiffres décimaux en **Binary Coded Decimal-BCD**, avec une retenue. Puisque chaque chiffre de l'entrée ne dépasse pas 9, la somme de la sortie ne peut pas être plus grande que  $9 + 9 + 1 = 19$ , le chiffre 1 dans la somme est une entrée de la retenue. Nous supposons que nous avons deux chiffres **BCD** de 4-bits à l'entrée de l'additionneur binaire. Effectuer l'additionneur en VHDL au niveau d'abstraction structure qui donnera un résultat en binaire et qui est aligné entre 0 à 19.

Nom : \_\_\_\_\_

## 1.2 Théorie

### 1.2.1 Question 3. - 3.0 Point

Le mode précise le sens de transfert des informations. Décrire les modes de transfert qui permettent le langage VHDL.

### 1.2.2 Question 4. - 3.0 Point

#### 1.2.2.1 Question 4.1. - 1.5 Point

Quelle est la définition de process ?

#### 1.2.2.2 Question 4.2. - 1.5 Point

Quelles sont les règles de fonctionnement d'un process ?



Nom : \_\_\_\_\_



Nom : \_\_\_\_\_





Nom : \_\_\_\_\_



Nom : \_\_\_\_\_



Nom : \_\_\_\_\_

