

EXAMEN D'ELECTRONIQUE

Note

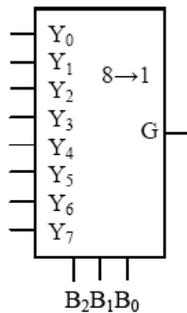
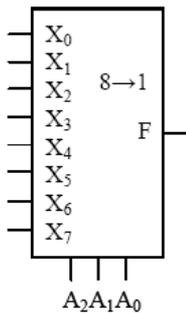
Durée 1h30 - Tous documents et calculatrice autorisés sauf Ordinateur - Répondre exclusivement sur cette feuille
 (V) : Tous les circuits sont supposés de vitesse grande vis à vis de l'horloge pour négliger les brefs états transitoires.
 En revanche, les temps de propagation des circuits ne doivent pas être négligés.

NOM - Prénom :

Groupe :

1. Détecteur de parité (3 = 2x1.5 points)

Compléter les valeurs des entrées des multiplexeurs pour que F soit un détecteur de parité sur $A_2A_1A_0$ (A_2 poids fort) ($F = 1$ si le nombre de bits à 1 du mot $A_2A_1A_0$ est pair) et G un détecteur d'imparité sur $B_2B_1B_0$ (B_2 poids fort).



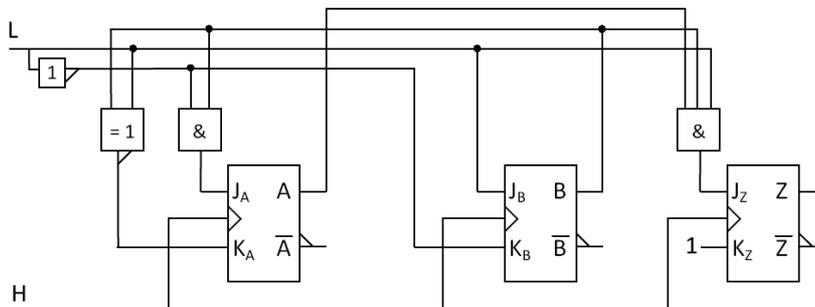
$X_0 =$	
$X_1 =$	
$X_2 =$	
$X_3 =$	
$X_4 =$	
$X_5 =$	
$X_6 =$	
$X_7 =$	

$Y_0 =$	
$Y_1 =$	
$Y_2 =$	
$Y_3 =$	
$Y_4 =$	
$Y_5 =$	
$Y_6 =$	
$Y_7 =$	

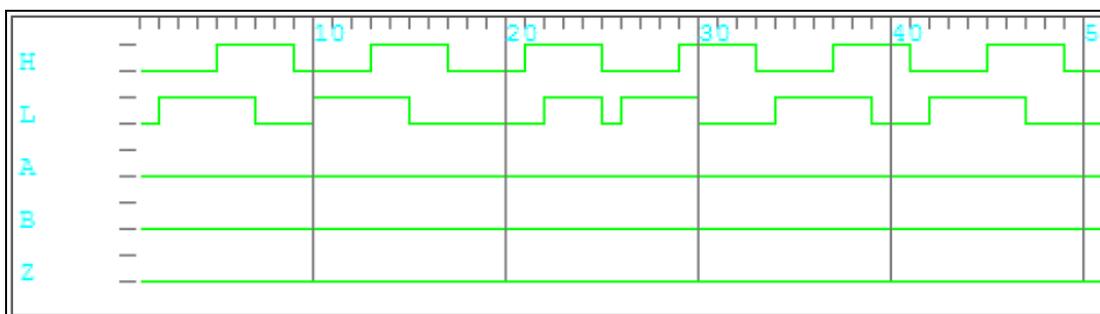
2. Serrure électronique (7 = 4+3 points)

Sur une ligne électrique de transmission L arrivent des données binaires en série dont on cherche à détecter une séquence particulière (clé). Les bits de la séquence à détecter sont pris en compte au *front montant* d'un signal d'horloge H et sont constitués de 4 bits notés $a b c d$. La séquence examinée concerne toujours les 4 derniers bits lus (décalage d'un bit à chaque top d'horloge). La détection du 4^{ème} bit de la séquence a pour effet d'activer la serrure Z (au niveau logique haut) pendant une période d'horloge.

La synthèse d'un système séquentiel à base de bascules JK autorisant la détection de la séquence conduit à l'architecture suivante :



1. Compléter le chronogramme (Tracer l'évolution des signaux A, B, Z sur toute la durée). Les bascules ont l'état initial $ABZ = 000$



2. Séquence à détecter :

a	b	c	d

3. Synthèse d'un Compteur synchrone à 2 entrées externes (10 = 5x2 points)

Un compteur synchrone, indiquant à l'aide d'un mot de 2 bits ba le nombre de données contenues dans un buffer (mémoire tampon) d'une capacité de 3 données, est régi par 2 entrées R (Read) et W (Write) dont les valeurs sont prises en compte uniquement au **front montant** d'une horloge externe H :

- L'entrée $W = 1$ incrémente le compteur tant que celui-ci n'a pas atteint l'état 3 ($ba = 11$) (buffer plein).

Dans le cas où le buffer est plein, l'entrée W est sans effet sur le compteur (état du compteur inchangé).

- L'entrée $R = 1$ décrémente le compteur, sauf si celui-ci a atteint l'état 0 ($ba = 00$) (buffer vide).

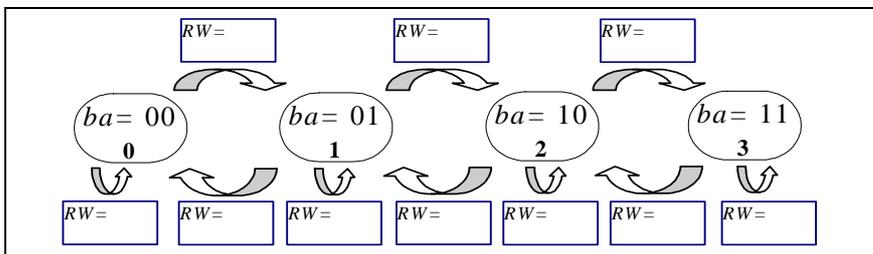
Dans le cas où le buffer est vide, l'entrée R est sans effet sur le compteur (état du compteur inchangé).

- Les entrées R et W simultanément à l'état bas (0) sont sans effet sur le compteur (état du compteur inchangé).

- Les entrées R et W simultanément à l'état haut (1) sont sans effet sur le compteur (état du compteur inchangé).

Le compteur est initialisé de manière asynchrone dans l'état 0. La synthèse est réalisée avec des bascules JK synchronisées sur *front montant* de l'horloge H .

1. Compléter l'automate suivant (séquence des états ba du compteur) en indiquant les valeurs des bits (00, 01, 10 ou 11) de **toutes** les transitions RW possibles entre les états :



2. Compléter la table suivante (b^+a^+ représente l'état futur immédiat à l'état courant ba du compteur dans la séquence de l'automate suite à une transition RW ; J_aK_a sont les entrées de la bascule JK de sortie a ; J_bK_b les entrées de la bascule JK de sortie b)

état	RW	ba	b^+a^+	J_bK_b	J_aK_a
0	00	00			
1	00	01			
3	00	11			
2	00	10			
0	01	00			
1	01	01			
3	01	11			
2	01	10			
0	11	00			
1	11	01			
3	11	11			
2	11	10			
0	10	00			
1	10	01			
3	10	11			
2	10	10			

3. En déduire les tables de Karnaugh suivantes permettant de déterminer les entrées J_b , K_b , J_a et K_a :

J_b	ba	00	01	11	10
00					
01					
11					
10					

K_b	ba	00	01	11	10
00					
01					
11					
10					

J_a	ba	00	01	11	10
00					
01					
11					
10					

K_a	ba	00	01	11	10
00					
01					
11					
10					

4. Indiquer les expressions les plus simples des entrées J_b , K_b , J_a et K_a :

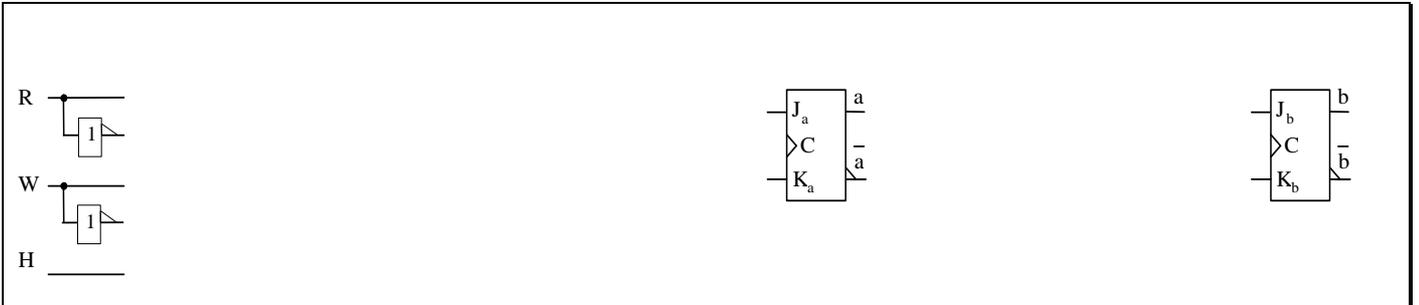
$J_b =$

$K_b =$

$J_a =$

$K_a =$

5. Compléter le schéma de réalisation (câblage) du compteur (portes ET et OU à 2 entrées exclusivement, norme européenne)



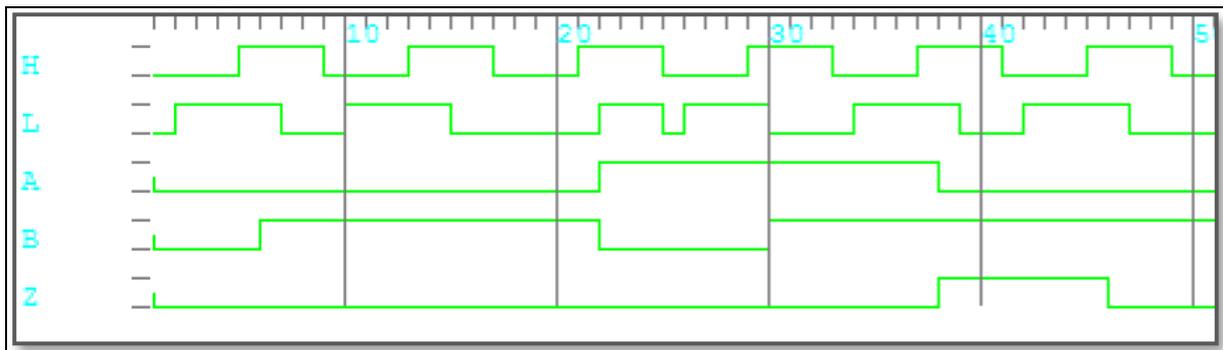
EXAMEN D'ELECTRONIQUE - CORRIGE

1. Détecteur de parité

X ₀ =	1
X ₁ =	0
X ₂ =	0
X ₃ =	1
X ₄ =	0
X ₅ =	1
X ₆ =	1
X ₇ =	0

Y ₀ =	0
Y ₁ =	1
Y ₂ =	1
Y ₃ =	0
Y ₄ =	1
Y ₅ =	0
Y ₆ =	0
Y ₇ =	1

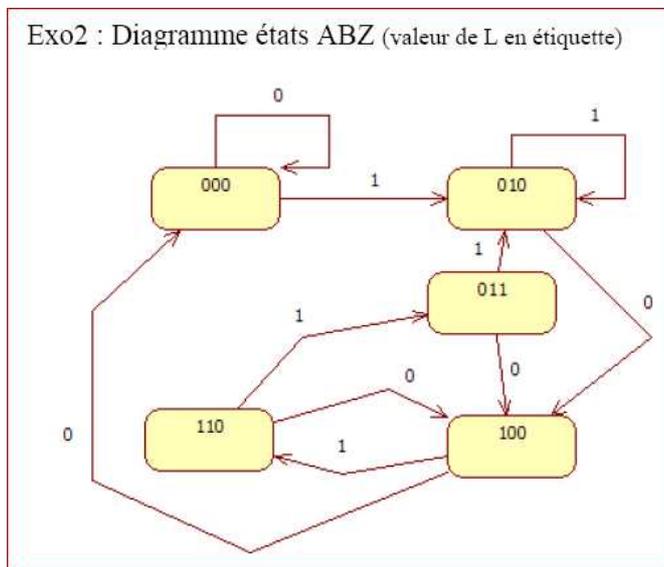
2. Serrure électronique



- 1.
- 2.

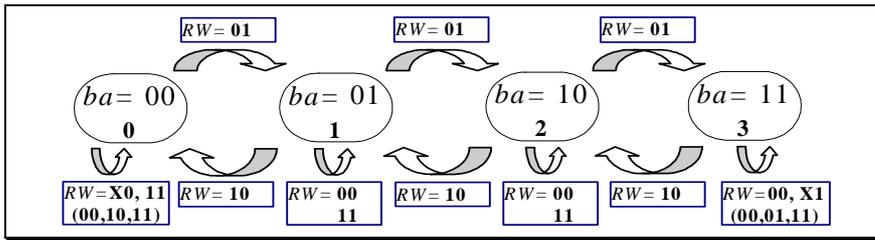
<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>
1	0	1	1

add-on synthèse



3. Synthèse d'un Compteur synchrone à 2 entrées externes

1.



2.

état	RW	ba	$b^+ a^+$	$J_b K_b$	$J_a K_a$
0	00	00	00	0X	0X
1	00	01	01	0X	X0
3	00	11	11	X0	X0
2	00	10	10	X0	0X
0	01	00	01	0X	1X
1	01	01	10	1X	X1
3	01	11	11	X0	X0
2	01	10	11	X0	1X
0	11	00	00	0X	0X
1	11	01	01	0X	X0
3	11	11	11	X0	X0
2	11	10	10	X0	0X
0	10	00	00	0X	0X
1	10	01	00	0X	X1
3	10	11	10	X0	X1
2	10	10	01	X1	1X

3.

J_b $RW \backslash ba$	00	01	11	10
00	0	0	X	X
01	0	1	X	X
11	0	0	X	X
10	0	0	X	X

K_b $RW \backslash ba$	00	01	11	10
00	X	X	0	0
01	X	X	0	0
11	X	X	0	0
10	X	X	0	1

J_a $RW \backslash ba$	00	01	11	10
00	0	X	X	0
01	1	X	X	1
11	0	X	X	0
10	0	X	X	1

K_a $RW \backslash ba$	00	01	11	10
00	X	0	0	X
01	X	1	0	X
11	X	0	0	X
10	X	1	1	X

4. $J_b = \overline{R} W a$ $K_b = R \overline{W} \overline{a}$ $J_a = \overline{R} W + R \overline{W} b$ $K_a = R \overline{W} + \overline{R} W \overline{b}$

5.

