

TD d'architecture des ordinateurs III

Mémoire

Exercice 1 : Conception d'une mémoire 8 bits

On désire construire une mémoire RAM de $2M \times 8$ bits en utilisant des boîtiers mémoire $256K \times 1$ bit.

- Quel est le nombre de fils d'adresse nécessaires pour adresser tous les octets de cette mémoire ?
- Rappeler l'intérêt d'utiliser des boîtiers $256K \times 1$ bit plutôt que des boîtiers $32K \times 8$ bits, qui ont la même capacité mémoire ?
- Dessiner schématiquement l'ensemble de la mémoire RAM construite à l'aide de ces boîtiers, en précisant leur nombre, et expliquer le fonctionnement du circuit sur un exemple.

Exercice 2 : Cartographie mémoire

Dessinez schématiquement la carte mémoire pour un ordinateur ayant un espace d'adressage de 16 Moctets et qui utilise :

- une RAM $2M \times 8$ bits située à l'adresse $0xB00000$;
- une ROM $256K \times 8$ bits située à l'adresse $0x000400$;
- un circuit d'interface série disposant de 4 registres 8 bits situé à l'adresse $0x700000$;
- un circuit d'interface parallèle disposant de 32 registres 16 bits à l'adresse $0x700100$.

On précisera les adresses de fin des zones occupées. Représentez un circuit de décodage des adresses qui implémente cette carte mémoire. On pourra utiliser les différentes méthodes de décodage, ainsi que les différentes techniques pour l'implémentation. Justifier vos choix.

Exercice 3 : Conception d'une mémoire 8/16 bits

On dispose d'un processeur gérant 20 bits d'adresses et 16 bits de données. On veut que ce processeur puisse accéder à 4K d'octets de mémoire vive entre les adresses 04000_H et $04FFF_H$. On utilise pour cela des boîtiers RAM (voir schéma fonctionnel Figure 1). On dispose aussi d'une PROM pour le décodage des adresses (*cf.* Figure 1).

On rappelle la signification des différentes lignes du bus du processeur.

- \overline{WE} (Write enable) signifie que le processeur demande une écriture dans la mémoire.
- \overline{RE} (Read enable) signifie que le processeur demande une lecture dans la mémoire.
- \overline{BHE} (Bus high enable) signifie que la partie haute du bus des données doit être utilisée (les 8 octets de poids forts).
- M/\overline{IO} Memory or Input-Output indique si on demande un accès mémoire (ligne à 1) ou l'activation d'un port d'E/S (ligne à 0).

Les données peuvent transiter sur le bus sous forme d'octets ou de mots de 16 bits.

Les tableaux suivants donnent les différentes possibilités d'adressage et le comportement des boîtiers RAM.

Adresse	\overline{BHE}	Type de donnée
paire	0	mot de 16 bits
paire	1	octet
impaire	0	octet

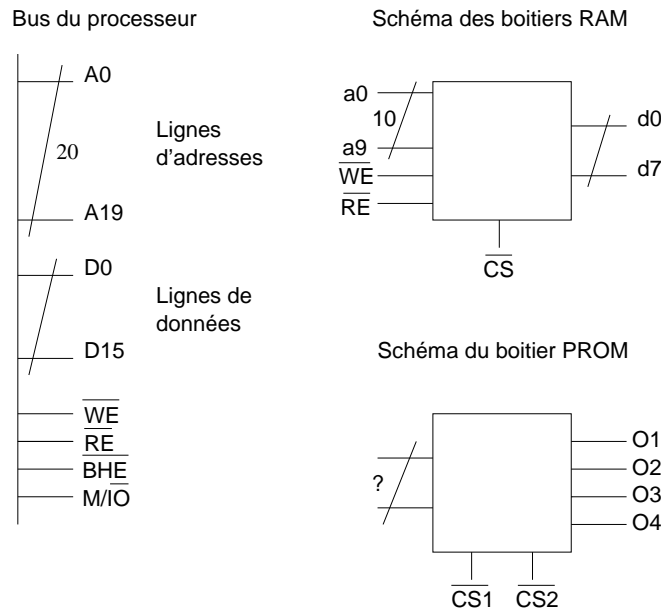


FIG. 1 – Schéma fonctionnel des boîtiers

Comportement	Condition
Lecture	$\overline{CS} = 0$ et $\overline{RE} = 0$
Ecriture	$\overline{CS} = 0$ et $\overline{WE} = 0$
Non sélectionné	$\overline{CS} = 1$

La PROM est activée si $\overline{CS1} = 0$ et $\overline{CS2} = 0$. Répondez aux questions suivantes :

1. Combien de boîtiers RAM sont-ils nécessaires ?
2. À quoi sont reliées les entrées-sorties d_0 à d_7 des différents boîtiers RAM ?
3. À quoi sont reliés les fils d'adresses a_0 à a_9 des différents boîtiers RAM ?
4. À quoi sont reliés les commandes \overline{CS} des boîtiers RAM ?
5. Donnez, en fonction des adresses A_0 à A_{19} et des lignes M/\overline{IO} et \overline{BHE} , l'expression booléenne des sorties de la PROM. A quoi sont reliées les entrées de la PROM ?
6. Faites un schéma global du montage.

Exercice 4 : Mémoire 6 bits

Toujours à partir de boîtiers $2K \times 4$ bits, on désire maintenant construire une mémoire $4K \times 6$ bits.

- Quel nombre minimal de boîtiers peut-on utiliser ? Proposer une solution qui utilise ce nombre minimal de boîtiers. On pourra donner les équations logiques associées aux broches des boîtiers et aux lignes du bus de données.
- Représentez schématiquement cette mémoire avec tous les circuits nécessaires à son fonctionnement.