

# 階層化されたタイミング・コンストレインをシノプシス・ツールから MAX+PLUS II バージョン 9.0 へ受け渡す方法

Technical Brief 48

August 1998, ver.1

## SYNOPSYS®

### Synopsys

700 East Middlefield Road  
Mountain View, CA 94043  
(650) 962-5000  
<http://www.synopsys.com>

### 日本シノプシス (株)

〒163-0420  
東京都新宿区西新宿 2-1-1  
新宿三井ビルディング20F  
電話: 03-3346-7030  
FAX: 03-3346-7050  
<http://www.synopsys.co.jp>

## イントロダクション

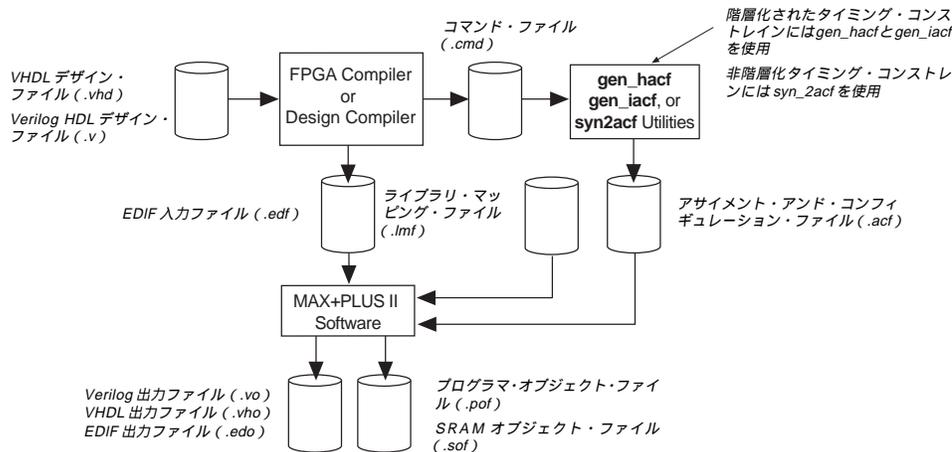
アルテラの MAX+PLUS II とシノプシス社の Design Compiler または FPGA Compiler 間のインタフェースの実現により、デザインの合成とアルテラのデバイスをターゲットにしたデザインの実現が簡単に行えるパスが提供されます。アルテラは、このアルテラ/シノプシスのデザイン・フローに対して下記を含む大幅な改善を実施しました。

- シノプシスの Design Compiler または FPGA Compiler のデザインから階層化されたアサイメント情報の取り込みをサポート
- シノプシス・ツールによる最新スピード・グレード・デバイスのサポート
- 合成結果のさらなる効率化
- マルチプレクサのサポートを改良

MAX+PLUS II のバージョン 9.0 のソフトウェアには、シノプシス・ツールの階層化されたデザインのタイミング・アサイメントを MAX+PLUS II 互換のフォーマットに変換する 2 つの新しいユーティリティ・プログラム、gen\_hacf と gen\_iacf が含まれています。これにより、MAX+PLUS II において低レベルのデザイン・ファイルに対するタイミング・コンストレインを再入力する必要がありません。

図 1 は UNIX ワークステーション上で動作するアルテラ/シノプシス・インタフェースのデザイン・フロー・ダイアグラムを示したものです。

図 1 UNIXワークステーション用アルテラ/シノプシス FPGA Compiler, Design Compiler インタフェース



## ユーティリティ・プログラム、gen\_hacf と gen\_iacf の使用方法

階層化されたタイミング・コンストレインのシノプシスのコマンド・ファイル (.cmd) から MAX+PLUS II のアサイメント・アンド・コンフィギュレーション・ファイル (.acf) への変換には、gen\_hacf と gen\_iacf のユーティリティが使用できます。これらのユーティリティを使用して階層化されたまたは階層化されていないタイミング・コンストレインをシノプシスのツールから MAX+PLUS II のソフトウェアに受け渡すときに、データをシノプシスのコマンド・ファイル・フォーマットから ACF フォーマットに変換します。2 ページの表 1 には、タイミング・コンストレインをシノプシスのツールから MAX+PLUS II へ受け渡すときに使用されるコマンドとその機能が説明されています。



タイミング・コンストレインを受け渡すときに使用するインストラクションの詳細については、MAX+PLUS IIのHelp機能を活用して確認するか、アルテラのウェブ・サイト、<http://www.altera.com> 中の Altera Technical Support (Atlas™) のセクションに提供されている Altera Commitment to Cooperative Engineering Solutions (ACCESS™) のページを参照してください。なお、これらのガイドラインはMAX+PLUS II Programmable Logic Development Software CD-ROMの中にも含まれており、MAX+PLUS IIのソフトウェアと共にインストールすることが可能です。

表1 gen\_hacf と gen\_iacf のユーティリティを使用して階層化されたタイミング・コンストレインを受け渡すときに使用するコマンド

コマンド	説明
read -f vhd1/verilog <デザイン名>	デザイン・ファイルの読み込み。階層化された各デザイン・ファイルに対して、下位レベルのファイルからトップ・レベル・ファイルの順にこのコマンドを繰り返し実行。
elaborate <デザイン名>	中間的な HDL (Hardware Description Language) のフォーマットからデザインを作成。
current_design= <デザイン名>	現在のデザインを指定。
include <タイミング・ファイル名>	現在のデザインに対するタイミング・コンストレインを含んでいるシノプシスのコマンド・ファイルを規定。
compile	デザインをコンパイル。
design_name= <デザイン名>	<デザイン名> に対する gen_iacf ユーティリティで使用される design_name の変数の指定。
include/ <パス名> /gen_iacf.cmd	タイミング・コンストレインを受け渡すのに必要なファイルを生成。
/ <パス名> /gen_iacf <デザイン名>	タイミング・コンストレインを含む中間的なコンストレイン・ファイルの生成。タイミング・コンストレインを含むすべてのデザインに対してこのコマンドを繰り返し実行。
write -f edif -o <トップ・レベルのデザイン名> .edf -h	MAX+PLUS II で処理するための階層化された EDIF 入力ファイル (.edf) の生成。
/ <パス名> /gen_hacf <トップ・レベルのデザイン名> <サブ・デザイン・ファイル・リスト>	複数の中間コンストレイン・ファイルをひとつの階層の ACF に統合。

下記は、下位レベルのデザインにのみタイミング・コンストレインを持つデザインに対する dc\_shell スクリプトの記述例を示したものです。ここでは表 1 のコマンドを使用し、新しい gen\_iacf と gen\_hacf のユーティリティ・プログラムにより階層化されたタイミング・コンストレインを処理しています。スクリプトの記述例の詳細については、MAX+PLUS II の ACCESS Key Guidelines を参照してください。

```

/* dc_shell script example to interface with new hierarchical
   gen_iacf and gen_hacf utilities
   This example includes timing constraints on lower-level
   designs only */
下位レベルの各デザイン・ファイルに read のコマンドを繰り返し実行。
{ read -f vhd1 LOWER1.vhd
  read -f vhd1 LOWER2.vhd
  read -f vhd1 TOP.vhd

下位レベルの各ファイルに繰り返し実行。
{ elaborate LOWER1
  current_design=LOWER1
  include timing1.cmd
  compile
  design_name=LOWER1
  include /usr/maxplus2/synopsys/bin/gen_iacf.cmd
  sh /usr/maxplus2/synopsys/bin/gen_iacf LOWER1

```

```

elaborate LOWER2
current_design=LOWER2
include timing2.cmd
compile
design_name=LOWER2
include /usr/maxplus2/synopsys/bin/gen_iacf.cmd
sh /usr/maxplus2/synopsys/bin/gen_iacf LOWER2

current_design=TOP
write -f edif -o TOP.edf -h
sh /usr/maxplus2/synopsys/bin/gen_hacf TOP subdesign.list

quit

```

階層化されていないタイミング・コンストレインの受け渡しにも表1のコマンドは使用できますが、アルテラは表2に示されている最新のユーティリティ、syn2acfのコマンドを使用することを推奨します。表2には、このsyn2acfのユーティリティに提供されているコマンドとその機能が解説されています。

表2 syn2acfを使用して階層化されていないタイミング・コンストレインを受け渡すときのコマンド

コマンド	説明
read -f vhdl/verilog <デザイン名>	デザイン・ファイルの読み込み。
include timing.cmd	タイミング・コンストレインを含むコマンド・ファイルの指定。
compile	デザインのコンパイル。
current_design= <デザイン名>	現在のデザインを指定。
include / <パス名> /syn2acf.cmd	タイミング・コンストレインの受け渡しに必要なファイルを生成。
/ <パス名> /syn2acf <デザイン名>	syn2acfの起動。

下記は、表2のコマンドを使用してsyn2acfのユーティリティを動作させるためのdc\_shellのスク립ト記述例を示したものです。

```

/* dc_shell script example to interface with the syn2acf utility */
下位レベルの各デザイン・ファイルに対して繰り返し実行。
{
read -f vhdl LOWER1.vhd
read -f vhdl LOWER2.vhd
read -f vhdl TOP.vhd
include timing.cmd
compile
current_design=TOP
include /usr/maxplus2/synopsys/bin/syn2acf.cmd
sh /usr/maxplus2/synopsys/bin/syn2acf TOP
quit

```

### 追加情報

アルテラは、サード・パーティのEDAツールとMAX+PLUS IIをスムーズに使用するための幅広いサポート資料を提供しています。技術的なサポートが必要な場合は日本アルテラまたは販売代理店へご相談頂くか、アルテラのウェブ・サイトの中に提供されているMAX+PLUS II ACCESS Key Guidelinのページを参照してください。アルテラのソフトウェアとサード・パーティのEDAツールとのインタフェースに関する代表的な質問と回答については、アルテラのウェブ・サイトに提供されているAtlas Solutionsのページをご覧ください。

下記の資料には、さらに詳細な情報が提供されています。

- MAX+PLUS II ACCESS Key Guidelines
- MAX+PLUS II Programmable Logic Development System & Software Data Sheet (日本語版有り)
- EDA Software Support
- Technical Brief 39( Using Synopsys Design Compiler & FPGA Compiler to Synthesize Designs for MAX+PLUS II Software ) (日本語版有り)

これらの資料は日本アルテラの各販売代理店、またはアルテラのウェブ・サイト、<http://www.altera.com/> (日本語版の資料は、<http://www.altera.com/japan/>)を通じて入手できます。

---

## 日本アルテラ株式会社

〒163-0436 東京都新宿区西新宿 2-1-1  
新宿三井ビル私書箱 261 号  
TEL. 03-3340-9480 FAX. 03-3340-9487  
<http://www.altera.com/japan/>