



FLEX 10K PCIプロトタイプ・ボード

1998年 2 月 ver.1

Data Sheet

特長

- PCI (Peripheral Component Interconnect) 標準仕様準拠の拡張ボード
- EPC1コンフィギュレーションEPROM、またはBitBlaster™、ByteBlaster™、ByteBlasterMVダウンロード・ケーブルによるイン・サーキット・リコンフィギュレーションをサポート
- EPF10K30RC240-3を 1 個実装済み
- 128Kバイトのオン・ボードSRAM (256Kバイトまで拡張可能)
- ローカル・サイドは、標準パラレル・ポートまたは標準VGAポートとのインタフェースが可能
- 実装済みI/Oヘッダ・コネクタにより、追加デバイスとのユーザ・インタフェースの作成が可能
- スタンドアロン動作のための外部電源供給用端子を装備
- オン・ボードのヘッダ・コネクタ
 - デバイスのコンフィギュレーションにBitBlasterまたはByteBlasterダウンロード・ケーブルが接続可能
 - ローカル・サイドには外部の高速クロックが使用可能

概要

このPCIプロトタイプ・ボードは、アルテラが提供しているpci_a、MegaCore™ファンクションを使用して動作するPCIの試作 / デモンストレーション・ボードとして設計されたものです。このデータシートには、アルテラのPCIプロトタイプ・ボードの信号接続、ジャンパの設定、サポートされている部品、オプションに関する情報が提供されています。

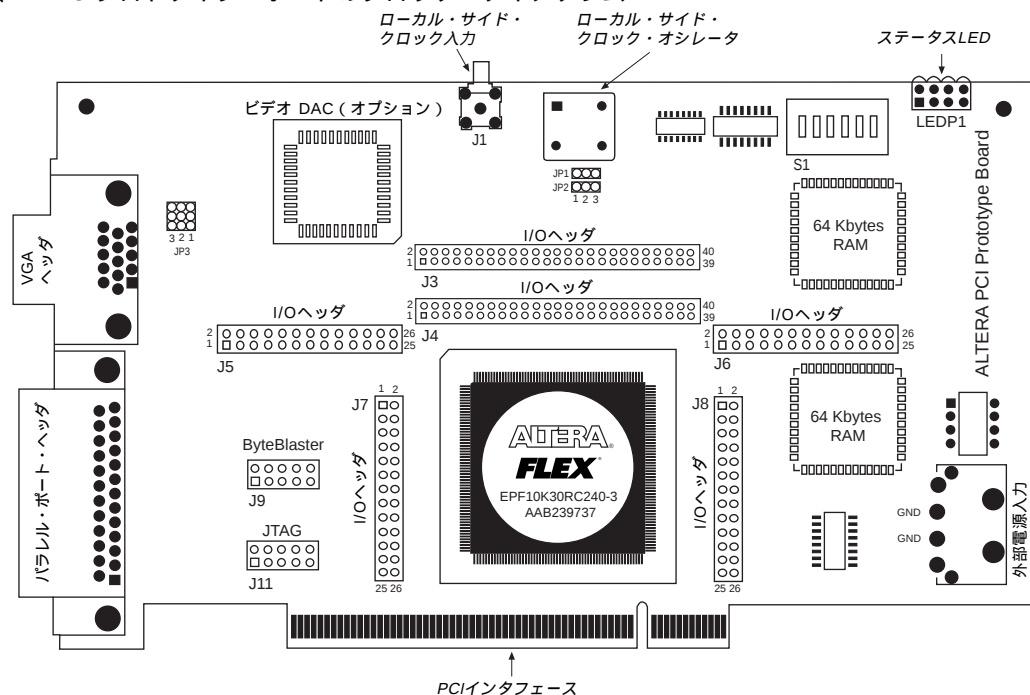


このボードのインストレーション方法については、pci_aに添付されているreadme.htmファイル内にある「Getting Started with the pcia Prototype Board」を参照して下さい。

機能の説明

図 1 は、このPCIプロトタイプ・ボードのブロック・ダイアグラムを示したものです。

図1 PCIプロトタイプ・ボードのブロック・ダイアグラム



信号接続

PCIプロトタイプ・ボードへの信号はPCIインタフェースまたは外部ソースを通じて供給され、ボード上の各部品と接続されています。このボードの最新の回路図を示すファイルは、アルテラのFTPサイト、[ftp.altera.com/pub/megacore/pci/board/](ftp://ftp.altera.com/pub/megacore/pci/board/) から入手できます。表1は回路図に使用されている記号を、表2は回路図内に示されているボードの接続端子を説明したものです。

表1 回路図内の記号 (1/2)

信 号	定 義
P1.A<n> または P1.B<n>	P1=PCI インタフェース; A= ボードの表面; B= ボードの裏面; <n>= ピン番号
U8.<n>	U8=EPF10K30; <n>= ピン番号
J<hn>.<n>	J= ヘッダ; <hn>= ヘッダ番号; <n>= ピン番号
JP<jn>.<n>	JP= ジャンパ; <jn>= ジャンパ番号; <n>= ピン番号
D<dn>.<n>	D= ダイオード; <dn>= ダイオード番号; <n>= ピン番号
R<m>.<n>	R= 抵抗; <m>= 抵抗番号; <n>= ピン番号
U3.<n>	U3= ビデオ DAC; <n>= ピン番号

表 1 回路図内の記号 (2/2)

信 号	定 義
C<cn>.<n>	C = キャパシタ ; <cn>= キャパシタ番号 ; <n>= ピン番号
LEDP1	LEDP1= LED (Light Emitting Diode)
RP<rpn>.<n>	RP= 抵抗アレイ ; <rpn>= 抵抗アレイ番号 ; <n>= ピン番号
U2.<n>	U2=7404 ; <n>= ピン番号
S1.<n>	S1= コンフィギュレーション用ディップ・スイッチ ; <n>= ピン番号
U6.<n>	U6=EPC1 コンフィギュレーション EPROM ; <n>= ピン番号
U1.<n>	U1= クロック・オシレータ ; <n>= ピン番号
U4.<n>	U4= キャッシュ・メモリ ; <n>= ピン番号
U7.<n>	U7= キャッシュ・メモリ ; <n>= ピン番号

表 2 には、このPCIプロトタイプ・ボードに接続される信号とボード上の配線個所が示されています。(例えば、AD0はPCIインタフェースのPin-58を通じてEPF10K30のPin-120と接続される。)

表 2 PCI プロトタイプ・ボードの信号接続 (1/7) 注(1)

信 号	接続個所 1	接続個所 2	接続個所 3	接続個所 4	接続個所 5	接続個所 6
AD0	P1.A58	U8.120	—	—	—	—
AD1	P1.B58	U8.119	—	—	—	—
AD2	P1.A57	U8.118	—	—	—	—
AD3	P1.B56	U8.115	—	—	—	—
AD4	P1.A55	U8.114	—	—	—	—
AD5	P1.B55	U8.113	—	—	—	—
AD6	P1.A54	U8.111	—	—	—	—
AD7	P1.B53	U8.110	—	—	—	—
AD8	P1.B52	U8.109	—	—	—	—
AD9	P1.A49	U8.108	—	—	—	—
AD10	P1.B48	U8.107	—	—	—	—
AD11	P1.A47	U8.106	—	—	—	—
AD12	P1.B47	U8.105	—	—	—	—
AD13	P1.A46	U8.103	—	—	—	—
AD14	P1.B45	U8.102	—	—	—	—
AD15	P1.A44	U8.101	—	—	—	—
AD16	P1.A32	U8.100	—	—	—	—
AD17	P1.B32	U8.99	—	—	—	—
AD18	P1.A31	U8.88	—	—	—	—
AD19	P1.B30	U8.87	—	—	—	—
AD20	P1.A29	U8.86	—	—	—	—

表2 PCIプロトタイプ・ボードの信号接続 (2/7) 注(1)

信 号	接続箇所 1	接続箇所 2	接続箇所 3	接続箇所 4	接続箇所 5	接続箇所 6
AD21	P1.B29	U8.84	—	—	—	—
AD22	P1.A28	U8.83	—	—	—	—
AD23	P1.B27	U8.82	—	—	—	—
AD24	P1.A25	U8.79	—	—	—	—
AD25	P1.B24	U8.78	—	—	—	—
AD26	P1.A23	U8.76	—	—	—	—
AD27	P1.B23	U8.72	—	—	—	—
AD28	P1.A22	U8.71	—	—	—	—
AD29	P1.B21	U8.70	—	—	—	—
AD30	P1.A20	U8.68	—	—	—	—
AD31	P1.B20	U8.67	—	—	—	—
blue-5	J2.3	JP3.8	—	—	—	—
btblue-5	D1.3	U3.37	JP3.9	R5.1	—	—
btclk-5	R2.2	JP2.2	U3.18	R1.1	—	—
btfsadj-5	R11.1	U3.36	—	—	—	—
btgreen	U3.38	D2.3	JP3.6	R6.1	—	—
btred-5	D3.3	U3.39	JP3.3	R7.1	—	—
btvref-5	U3.35	C7.1	—	—	—	—
C/BE/0	P1.A52	U8.117	—	—	—	—
C/BE/1	P1.B44	U8.116	—	—	—	—
C/BE/2	P1.B33	U8.66	—	—	—	—
C/BE/3	P1.B26	U8.65	—	—	—	—
CLK	P1.B16	U8.211	—	—	—	—
CONF_DONE	U8.2	J9.3	U2.9	—	—	—
conf_doneled	LEDP1.3	U2.8	—	—	—	—
config/	U8.121	RP2.6	J9.5	—	—	—
confsou	U2.3	RP1.2	S1.12	U2.1	—	—
DATA0	U8.180	RP2.8	J9.9	U6.1	—	—
DCLK	U8.179	J9.1	U6.2	—	—	—
DEVSEL/	P1.B37	U8.80	—	—	—	—
GNT/	P1.A17	U8.55	—	—	—	—
green-5	J2.2	JP3.5	—	—	—	—
IDSEL	P1.A26	U8.64	—	—	—	—
IRDY	P1.B35	U8.74	—	—	—	—
inta	U8.54	P1.A6	—	—	—	—
lclk	U8.91	R10.1	R18.2	R15.1	—	—
lclkbtt-5	R9.1	JP2.3	—	—	—	—

表 2 PCI プロトタイプ・ボードの信号接続 (3/7) 注(1)

信 号	接続個所 1	接続個所 2	接続個所 3	接続個所 4	接続個所 5	接続個所 6
LOCK/	P1.B39	U8.94	—	—	—	—
MSEL0	U8.124	RP2.9	R19.1	—	—	—
MSEL1	U8.123	RP2.10	R16.1	—	—	—
N00002	U8.178	RP2.2	—	—	—	—
N00003	U8.3	RP2.1	—	—	—	—
N00004	U8.59	RP2.3	—	—	—	—
N00008	R8.1	C5.2	—	—	—	—
N00009	U3.34	R8.2	—	—	—	—
N00017	JP1.1	J1.CENTER	—	—	—	—
N00018	JP1.2	R9.2	R10.2	—	—	—
N00019	U1.3	JP1.3	—	—	—	—
N00020	U1.1	RP1.7	—	—	—	—
N00021	RP1.8	U4.20	—	—	—	—
N00022	RP1.9	U4.46	—	—	—	—
N00023	RP1.10	U7.20	—	—	—	—
N00024	RP1.11	U7.46	—	—	—	—
PAR	P1.A43	U8.98	—	—	—	—
PERR/	P1.B40	U8.95	—	—	—	—
p1d1	U8.6	J5.23	U3.40	—	—	—
p1d2	U8.7	J5.24	U3.41	—	—	—
p1d3	U8.8	J5.21	U3.42	—	—	—
p1d4	U8.9	J5.22	U3.43	—	—	—
p1d5	U8.11	J5.19	U3.44	—	—	—
p1d6	U8.12	J5.20	U3.1	—	—	—
p1d7	U8.13	J5.17	U3.2	—	—	—
p1d8	U8.14	J5.18	U3.3	—	—	—
p1d9	U8.15	J5.15	R14.2	JP3.7	D6.1	—
p1d10	U8.17	J5.16	R13.2	JP3.4	D5.1	—
p1d11	U8.18	J5.13	R12.2	JP3.1	D4.1	—
p1d12	U8.19	J10.13	J5.14	—	—	—
p1d13	U8.20	J10.12	J5.11	—	—	—
p1d14	U8.21	J10.11	J5.12	—	—	—
p1d15	U8.23	J10.10	J5.9	—	—	—
p1d16	U8.24	J10.9	J5.10	—	—	—
p1d17	U8.25	J10.8	J5.7	—	—	—
p1d18	U8.26	J10.7	J5.8	—	—	—
p1d19	U8.28	J10.6	J5.5	—	—	—

表 2 PCI プロトタイプ・ボードの信号接続 (4/7) 注(1)						
信 号	接続箇所 1	接続箇所 2	接続箇所 3	接続箇所 4	接続箇所 5	接続箇所 6
p1d20	U8.29	J10.5	J5.6	—	—	—
p1d21	U8.30	J10.17	J5.3	—	—	—
p1d22	U8.31	J10.4	J5.4	—	—	—
p1d23	U8.33	J10.16	J7.3	—	—	—
p1d24	U8.34	J10.3	J7.4	—	—	—
p1d25	U8.35	J10.15	J7.5	—	—	—
p1d26	U8.36	J10.2	J7.6	—	—	—
p1d27	U8.38	J10.14	J7.7	—	—	—
p1d28	U8.39	J10.1	J7.8	—	—	—
p1d29	U8.40	J7.9	S1.10	RP1.3	—	—
p1d30	U8.41	J7.10	S1.9	RP1.4	—	—
p1d31	U8.43	J7.11	S1.8	RP1.5	—	—
p1d32	U8.44	J7.12	S1.7	RP1.6	—	—
p1d33	U8.45	J7.13	—	—	—	—
p1d34	U8.46	J7.14	—	—	—	—
p1d35	U8.48	J7.15	—	—	—	—
p1d36	U8.49	J7.16	—	—	—	—
p1d37	U8.50	J7.17	—	—	—	—
p1d38	U8.51	J7.18	—	—	—	—
p1d39	U8.53	J7.19	—	—	—	—
p1d40	U8.61	J7.20	—	—	—	—
p1d41	U8.62	J7.21	—	—	—	—
p1d42	U8.63	J7.22	—	—	—	—
p1d43	J7.23	—	—	—	—	—
p1d44	U8.126	J7.24	—	—	—	—
p1d45	U8.127	J8.24	U7.51	R4.2	U4.51	R3.1
p1d46	U8.128	J8.23	U7.50	U4.50	—	—
p1d47	U8.129	J8.22	U7.5	U4.5	—	—
p1d48	U8.131	J8.21	U7.2	U4.2	—	—
p1d49	U8.132	J8.20	U7.1	U4.1	—	—
p1d50	U8.133	J8.19	U7.52	U4.52	—	—
p1d51	U8.134	J8.18	U7.3	—	—	—
p1d52	U8.136	J8.17	U7.4	—	—	—
p1d53	U8.137	J8.16	U4.3	—	—	—
p1d54	U8.138	J8.15	U4.4	—	—	—
p1d55	U8.139	J8.12	U7.34	—	—	—
p1d56	U8.141	J8.11	U7.35	—	—	—

表 2 PCI プロトタイプ・ボードの信号接続 (5/7) 注(1)

信 号	接続箇所 1	接続箇所 2	接続箇所 3	接続箇所 4	接続箇所 5	接続箇所 6
p1d57	U8.142	J8.10	U7.38	—	—	—
p1d58	U8.143	J8.9	U7.39	—	—	—
p1d59	U8.144	J8.8	U7.40	—	—	—
p1d60	U8.146	J8.7	U7.41	—	—	—
p1d61	U8.147	J8.6	U7.44	—	—	—
p1d62	U8.148	J8.5	U7.45	—	—	—
p1d63	U8.149	J8.4	U7.8	—	—	—
p1d64	U8.151	J8.3	U7.9	—	—	—
p1d65	U8.152	J6.24	U7.12	—	—	—
p1d66	U8.153	J6.23	U7.13	—	—	—
p1d67	U8.154	J6.22	U7.14	—	—	—
p1d68	U8.156	J6.21	U7.15	—	—	—
p1d69	U8.157	J6.20	U7.18	—	—	—
p1d70	U8.158	J6.19	U7.19	—	—	—
p1d71	U8.159	J6.18	U4.34	—	—	—
p1d72	U8.161	J6.17	U4.35	—	—	—
p1d73	U8.162	J6.16	U4.38	—	—	—
p1d74	U8.163	J6.15	U4.39	—	—	—
p1d75	U8.164	J6.12	U4.40	—	—	—
p1d76	U8.166	J6.11	U4.41	—	—	—
p1d77	U8.167	J6.10	U4.4	—	—	—
p1d78	U8.168	J6.9	U4.45	—	—	—
p1d79	U8.169	J6.8	U4.8	—	—	—
p1d80	U8.171	J6.7	U4.9	—	—	—
p1d81	U8.172	J6.6	U4.12	—	—	—
p1d82	U8.173	J6.5	U4.13	—	—	—
p1d83	U8.174	J6.4	U4.14	—	—	—
p1d84	U8.175	J6.3	U4.15	—	—	—
p1d85	U8.181	J4.33	U4.18	—	—	—
p1d86	U8.182	J4.34	U4.19	—	—	—
p1d87	U8.183	J3.33	U7.26	U4.26	—	—
p1d88	U8.184	J3.34	U7.25	U4.25	—	—
p1d89	U8.185	J4.31	U7.24	U4.24	—	—
p1d90	U8.186	J4.32	U7.23	U4.23	—	—
p1d91	U8.187	J3.31	U7.22	U4.22	—	—
p1d92	U8.188	J3.32	U7.21	U4.21	—	—
p1d93	U8.190	J4.29	U7.7	U4.7	—	—

表 2 PCI プロトタイプ・ボードの信号接続 (6/7) 注(1)						
信 号	接続箇所 1	接続箇所 2	接続箇所 3	接続箇所 4	接続箇所 5	接続箇所 6
p1d94	U8.191	J4.30	U7.6	U4.6	—	—
p1d95	U8.192	J3.29	U7.49	U4.49	—	—
p1d96	U8.193	J3.30	U7.48	U4.48	—	—
p1d97	U8.194	J4.25	U7.47	U4.47	—	—
p1d98	U8.195	J4.26	U7.33	U4.33	—	—
p1d99	U8.196	J3.25	U7.32	U4.32	—	—
p1d100	U8.198	J3.26	U7.31	U4.31	—	—
p1d101	U8.199	J4.23	U7.30	U4.30	—	—
p1d102	U8.200	J4.24	U7.29	U4.29	—	—
p1d103	U8.201	J3.23	—	—	—	—
p1d104	U8.202	J3.24	U3.19	—	—	—
p1d105	U8.203	J4.21	U3.20	—	—	—
p1d106	U8.204	J4.22	U3.21	—	—	—
p1d107	U8.206	J3.21	U3.22	—	—	—
p1d108	U8.207	J3.22	U3.23	—	—	—
p1d109	U8.208	J4.19	U3.24	—	—	—
p1d110	U8.209	J4.20	U3.25	—	—	—
p1d111	U8.213	J3.19	U3.26	—	—	—
p1d112	U8.214	J3.20	U3.8	—	—	—
p1d113	U8.215	J4.17	U3.9	—	—	—
p1d114	U8.217	J4.18	U3.10	—	—	—
p1d115	U8.218	J3.17	U3.11	—	—	—
p1d116	U8.219	J3.18	U3.12	—	—	—
p1d117	U8.220	J4.13	U3.13	—	—	—
p1d118	U8.221	J4.14	U3.14	—	—	—
p1d119	U8.222	J3.13	U3.15	—	—	—
p1d120	U8.223	J3.14	—	—	—	—
p1d121	U8.225	J4.11	—	—	—	—
p1d122	U8.226	J4.12	—	—	—	—
p1d123	U8.227	J3.11	—	—	—	—
p1d124	U8.228	J3.12	—	—	—	—
p1d125	U8.229	J4.9	—	—	—	—
p1d126	U8.230	J4.10	—	—	—	—
p1d127	U8.231	J3.9	—	—	—	—
p1d128	U8.233	J3.10	JP2.1	—	—	—
p1d129	U8.234	J4.7	U3.7	—	—	—
p1d130	U8.235	J4.8	U3.6	—	—	—

表 2 PCI プロトタイプ・ボードの信号接続 (7/7) 注(1)

信 号	接続個所 1	接続個所 2	接続個所 3	接続個所 4	接続個所 5	接続個所 6
p1d131	U8.236	J3.7	—	—	—	—
p1d132	U8.237	J3.8	—	—	—	—
p1d133	U8.238	J4.5	—	—	—	—
p1d134	U8.239	J4.6	J2.14	—	—	—
p1d135	U8.240	J3.5	J2.13	—	—	—
red-5	J2.1	JP3.2	—	—	—	—
REQ/	P1.B18	U8.56	—	—	—	—
req64/-2	R17.2	P1.A60	—	—	—	—
RST/	P1.A15	U8.210	—	—	—	—
selbitbl/	LEDP1.2	U2.6	—	—	—	—
selepc/-7	LEDP1.1	U2.4	—	—	—	—
SERR/	P1.B42	U8.97	—	—	—	—
spare-7	RP1.1	S1.11	—	—	—	—
status/	U8.60	RP2.7	J9.7	U6.3	—	—
STOP/	P1.A38	U8.81	U8.212	—	—	—
tclk	U8.1	P1.B2	J11.1	—	—	—

注：

(1) アルテラデバイスの使用される固有の信号は大文字で表記されています。

ジャンパの設定

表 3 は各ジャンパのデフォルトの設定状態と、stopn、trdyn、framenの各双方向信号に対するオプションのピン接続を示したものです。

表 3 ジャンパの設定 (1/2)

名称	デフォルト 設定	参照回路図 注(1)	説 明
JP3	A-B	Video Digital Analog Converter (DAC)	このボードは Brooktree 社の Video DAC、Bt121 が実装されていない状態で出荷され、3 個所のジャンパ (各カラー・チャンネルに 1 個) は A-B の位置に設定されている。この構成で EPF10K30 は VGA の出力をダイレクトにドライブし、8 色のカラー表示が可能になっている。Video DAC、Bt121 を実装した場合は、JP3 を B-C の位置に設定する。

表 3 ジャンパの設定 (2/2)

名称	デフォルト 設定	参照回路図 注(1)	説 明
JP4	1-2	FLEX [®] 10K PCI Controller	pci_aファンクションでは、stopnの双方向性信号が入力と出力の2本のピン（212、81）に分割されている。stopn信号が1本の双方向ピン（81）によってドライブされる構成にする場合は、このJP4を2-3の位置に設定する。JP4はボードの底面部のハンダ付けジャンパとなっている。
JP5	1-2	FLEX 10K PCI Controller	pci_aファンクションでは、trdynの双方向性信号が入力と出力の2本のピン（90、75）に分割されている。trdyn信号が1本の双方向ピン（75）によってドライブされる構成にする場合は、このJP5を2-3の位置に設定する。JP5はボードの底面部のハンダ付けジャンパとなっている。
JP6	1-2	FLEX 10K PCI Controller	pci_aファンクションでは、framenの双方向性信号が入力と出力の2本のピン（92、73）に分割されている。framen信号が1本の双方向ピン（73）によってドライブされる構成にする場合は、このJP6を2-3の位置に設定する。JP6はボードの底面部のハンダ付けジャンパとなっている。
S1	—	Configuration logic and Joint Test Action Group (JTAG) interface	S1はデバイスのコンフィギュレーションには不要。ただし、bit3からbit6がEPF10K30のI/Oピンに接続されており、必要に応じて使用できる。

注：

(1) アルテラのFTPサイト、[ftp.altera.com/pub/megacore/pci/board/](ftp://ftp.altera.com/pub/megacore/pci/board/)に提供されているPCIプロトタイプ・ボードの最新の回路図を参照して下さい。

サポートされている部品

表 4はこのPCIプロトタイプ・ボードでサポートされる部品の一覧表です。ただし、これらのすべての部品がボード上に実装されて出荷されるわけではありません。詳細は12ページの「ボード・オプション」をご覧ください。

表 4 サポートされる部品 (1/2)

部 品	製造メーカの型番	数量	回路図上の記号 注(1)
0.01UF, 0805	NOVACAP 0805Z103M500N	6	C1, C5, C6, C8, C17, C23
0.1UF, 0805	NOVACAP 0805Z104M500	32	C2, C3, C7, C10, C12, C13, C14, C15, C16, C18, C19, C20, C21, C22, C26, C27, C28, C29, C30, C31, C32, C33, C34, C35, C36, C37, C38, C39, C42, C44, C45
10UF, 6032	松尾電機 267M1602106K-720	7	C4, C9, C11, C24, C40, C41
DA204, SOT-23	ローム DA204	3	D1, D2, D3, D4, D5, D6
JUMP 3, HEADER 3×1	Samtec TSW-103-07-G-S	2	JP1, JP2
HEADER 3×3	Samtec TSW-103-07-G-T	1	JP3

表 4 サポートされる部品 (2/2)

部 品	製造メーカーの型番	数量	回路図上の記号 注(1)
SMB-BNC, SMB-RT	AMP 413996-2	1	J1
DB15F MINI	AMP 748390-5	1	J2
HEADER 20 × 2	Samtec TSW-120-07-G-D	2	J4, J3
HEADER 13 × 2	Samtec TSW-113-07-G-D	4	J5, J6, J7, J8
HEADER 5 × 2	Samtec TSW-105-07-G-D	2	J11, J9
CONNECTOR DB25, DB25 FEMALE	Generic	1	J10
PWR CON4 RT ANGLE	Molex 15-24-4041	1	J12
LED-QUAD4, LED- QUAD4	Dialight 555-4003	1	LEDP1
10KRP, SOMC16	Dale SOMC-1601-103K	2	RP2, RP1
240 1/10W 5%, 0805	ローム MCR10JW241	6	R1, R2, R3, R4, R15, R18
75.0 1/10W 1%, 0805	ローム MCR10FW7501	3	R5, R6, R7
15 1/10W 5%, 0805	ローム MCR10JW150	1	R8
10 1/10W 5%, 0805	ローム MCR10JW100	2	R9, R10
143 1/10W 1%, 0805	ローム MCR10FW1432	1	R11
10K 1/10W 5%, 0805	ローム MCR10JW103	4	R12, R13, R14, R17
0, 0805	ローム MCR10JW000	2	R16, R19
SW DIP-6, DIPSW12	Grayhill 76PSB06	1	S1
50 MHz, SG-531	エプソン SG-531PH-50.000MC	1	U1
74HCT04, S014	TI SN74HCT04D	1	U2
BT121KPJ50, PLCC44	Brooktree BT121KPJ50	1	U3
CY7C1032-8JC, PLCC52	Cypress CY7C1032-8JC	2	U7, U4
T-FILTER, NFM61R	村田製作所 NFM61R30T472	0	U5
EPC1, DIP8	Altera EPC1PC8	1	U6
EPF10K30, RQFP240	Altera EPF10K30RC240-3	1	U8
SOCKET, QFP240	Altera PL-SKT/Q240	1	XU2
SOCKET, PLCC44	AMP 821979-3	1	XU3
SOCKET, DIP8	AMP 2-641260-1	1	XU9

注：

(1) アルテラのFTPサイト、[ftp.altera.com/pub/megacore/pci/board/](ftp://ftp.altera.com/pub/megacore/pci/board/)に提供されているPCIプロトタイプ・ボードの最新の回路図を参照して下さい。

ボード・オプション

このPCIプロトタイプ・ボードの回路図には、オプションのデバイスとコンフィギュレーション・モードも記入されています。表5から表8までは、このボードのオプション・デバイスとなっているビデオDAC、クロック・デバイス、SRAM、およびコンフィギュレーション・オプションを示したものです。

表5 ビデオ DAC のオプション

ボード上の設定	Brooktree BT121KPJ50	R8, R7, R6, R5, R2, R1, R11	C40, C23, C4, C17, C1, C8 C6, C5, C7,	T-Filter	JP2
FLEX 10Kデバイスが モニタをドライブ 注(1)	非実装	非実装	非実装	非実装	非実装
ビデオ DACがモニタをドライブ	実装	実装	実装	実装	実装

表6 クロック・デバイスのオプション

オプション	品 名	抵 抗	説 明
ユーザ規定のクロック・デバイス 注(1)	—	—	他の周波数
推奨クロック・デバイス	エプソン SG-531PH-50.000MC	R9, R10, R19, R15	50MHzの推奨 クロック・デバイス
ボード上のクロック・デバイス 注(1)、(2)	非実装	非実装	デフォルト

表7 SRAM のオプション

型 名	メモリ・サイズ (システム・キャッシュ・メモリ)	最大アクセス・タイム (ns)	最大動作電流 (mA)
CY7C179-8JC 注(1)	32 K × 18 K	8.5	225
CY7C179-10JC	32 K × 18 K	10.5	210
CY7C1032-8JC	64 K × 18 K	8.5	280
CY7C1032-10JC	64 K × 18 K	10.5	280

表8 コンフィギュレーションのオプション			
コンフィギュレーション	EPC1	BitBlasterまたは ByteBlaster ダウンロード・ケーブル	説 明
コンフィギュレーション EPROM 注(1)	実装	非接続	EPF10K30をシリアル・コンフィギュレーションEPROMでコンフィギュレーションする場合は、BitBlasterまたはByteBlasterダウンロード・ケーブルを接続せず、EPC1をソケット上に実装する。
BitBlasterまたはByteBlaster ダウンロード・ケーブル	非実装	接続	EPF10K30をMAX+PLUS® IIを使用して標準シリアル・ポートまたはパラレル・ポートを通じてBitBlasterまたはByteBlasterダウンロード・ケーブルでコンフィギュレーションする場合は、BitBlasterまたはByteBlasterダウンロード・ケーブルを接続し、EPC1をソケットから取り外す。

表中の注：

- (1) このコンフィギュレーション方法が、出荷時のデフォルト設定となっています。
- (2) 出荷時にクロック・デバイスは実装されていません。発振周波数の異なるピン互換のクロック・デバイスが使用可能となっています。

参考資料

このボードの機能の詳細については、下記のアルテラ発行の関連資料を参照して下さい。

- 「*PCI Master/Target MegaCore Function with DMA*」のデータシート（日本語版「*DMA機能付きPCIマスタ/ターゲットMegaCoreファンクション*」）
- アプリケーション・ノート、AN 59「*Configuring FLEX 10K Devices*」（日本語版「*FLEX 10Kデバイスのコンフィギュレーション*」）
- アプリケーション・ノート、AN 86「*Implementing the pcia Master/Target in FLEX 10K Devices*」（日本語版「*FLEX 10Kデバイスによるpciaマスタ/ターゲット・ファンクションの実現*」）
- 「*FLEX 10K Embedded Programmable Logic Family*」のデータシート（日本語版有り）
- 「*ByteBlaster Parallel Port Download Cable*」のデータシート
- 「*BitBlaster Serial Download Cable*」のデータシート
- 「*Configuration EPROMs for FLEX Devices*」のデータシート（日本語版有り）

また、下記の関連資料を併せて参照して下さい。

- PCI-SIG. *PCI Local Bus Specification, Revision 2.1*, Portland, Oregon: PCI Special Interest Group, June 1995.
- Brooktree Corporation. *Brooktree Graphics and Imaging Product Databook*. San Diego, California: Brooktree Corporation, 1990.
- Cypress Semiconductor. *Cypress Data Book*. San Jose, California: Cypress Semiconductor Corporation, May 1995.



日本アルテラ株式会社

〒163-0436
東京都新宿区西新宿2-1-1
新宿三井ビル私書箱261号
TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan/>

本社 **Altera Corporation**

101 Innovation Drive,
San Jose, CA 95134
TEL : (408) 544-7000
<http://www.altera.com>

この資料はアルテラが発行した英文の資料を日本語化したものです。アルテラが各デバイスに対して保証する仕様、規格は英文オリジナルの内容です。なお、本資料に記載された内容は予告なく変更される場合があります。最新の情報はアルテラのワールド・ワイド・ウェブ・サイト (<http://www.altera.com>) でご確認ください。