

特長

- 32ビット、33MHzのPCI (Peripheral Component Interconnect) ターゲット・インタフェース機能を実現するパラメータ化されたpcit1 MegaCore™ファンクション
- PCI Special Interest Group (SIG) のファンクションおよびタイミング要求仕様に完全準拠；4ページの「PCI仕様への準拠」を参照
- FLEX® 10KおよびFLEX 6000のアーキテクチャに最適化
- 下記のハードウェアとソフトウェアを使用し、ハードウェアに広範囲なテストを実施済み（4ページの「PCI仕様への準拠」を参照）
 - ー FLEX 10K PCIプロトタイプ・ボード
 - ー HP E2925A PCIバス・アナライザ／エキササイザ
 - ー もっともポピュラなインテルのPCI / ホスト・ブリッジおよびDECのPCI/PCIブリッジを使用したテストを実施済み
- ユーザ・シミュレーション用テスト・ベクタを添付
- リスク・フリーなOpenCore™評価機能により、ライセンスの購入前にMAX+PLUS® IIのソフトウェアでデザインへのインスタンス化とシミュレーションが可能
- 使用されるターゲット・デバイスとベース・アドレス・レジスタ (BAR) の数に応じて、FLEXデバイスの約550個から790個のロジック・エレメント (LE) で構成可能
- 無制限サイクル数でのゼロ・ウェイト・ステート・メモリ・リード／ライト・バースト・トランザクションにより、132Mバイト/secの接続帯域幅を実現
- タイプ・ゼロのコンフィギュレーション・スペース
- パラメータ化されたコンフィギュレーション・レジスタ：デバイスID、ベンダID、ステータス、コマンド、クラス・コード、リビジョンID、BAR0からBAR5、サブシステムID、サブシステム・ベンダID、インタラプト・ピン、およびインタラプト・ライン
- パリティ・エラー検出機能
- 調整可能なメモリ・サイズとなっている最大6個までのBARのサポートにより、幅広いアプリケーションへの適合性と高いデバイス使用効率を実現し、柔軟性の高いシステム・メモリの活用が可能
- 業界標準のPCIバス・コマンドのほとんどをサポート：コンフィギュレーション・リード／ライト、メモリ・リード／ライト、I/Oリード／ライト、メモリ・リード・マルチプル (MRM)、メモリ・リード・ライン (MRL)、およびメモリ・ライト・アンド・インバリデート (MWI)
- ローカル・サイド・インタラプト
- ローカル・イニシエイティッド・ターミネーション・トランザクションのサポート：ターゲット・リトライ、ディスコネクト、およびアポート

概要

これまで、PCIローカル・バスのアプリケーションは、ロー・エンドからハイ・エンドのデスクトップPCがターゲットとなっていました。現在、PCIインタフェースは、サーバ、LAN、SCSI、FDDI、その他の高帯域I/Oアプリケーションの標準的な基本ビルディング・ブロックとなっています。pcit1は、ハードウェアがテスト済みとなっている高性能で、かつ高い柔軟性で実現可能なPCIターゲット・インタフェース・ファンクションとなっています（オーダ・コード：PLSM-PCIT1）。

このpcit1は複雑なPCIのプロトコルと厳しい内部タイミング要求に適合しているため、デザイン時間を大幅に短縮するソリューションとなっています。この使いやすいローカル・インタフェースは、幅広いアプリケーションに対応することができます。例えば、入力と出力が分離された32ビット幅のローカル・データ・バスとローカル・バイト・イネーブル信号（l_ben[3..0]）により、ペリフェラル・デバイスとの分離接続、あるいは統合接続のオプションが提供されています。

アルテラのFLEX 10KおよびFLEX 6000デバイスに最適化されているpcit1は、コンフィギュレーション、I/O、メモリの各トランザクションをサポートしています。FLEXデバイスの提供する高い集積度により、PCIインタフェースをFLEXデバイスで実現した場合でも、残りのデバイス・リソースを使用してローカル側のカスタム・ロジックを構成することができます。また、FLEXデバイスの高い集積度は、pcit1による無制限サイクル数でのゼロ・ウェイト・ステートのメモリ・バースト転送を可能にしており、32ビット、33MHzのPCIバスにおける理論上の最高転送レートである132Mバイト/secのスループットを実現することができます。

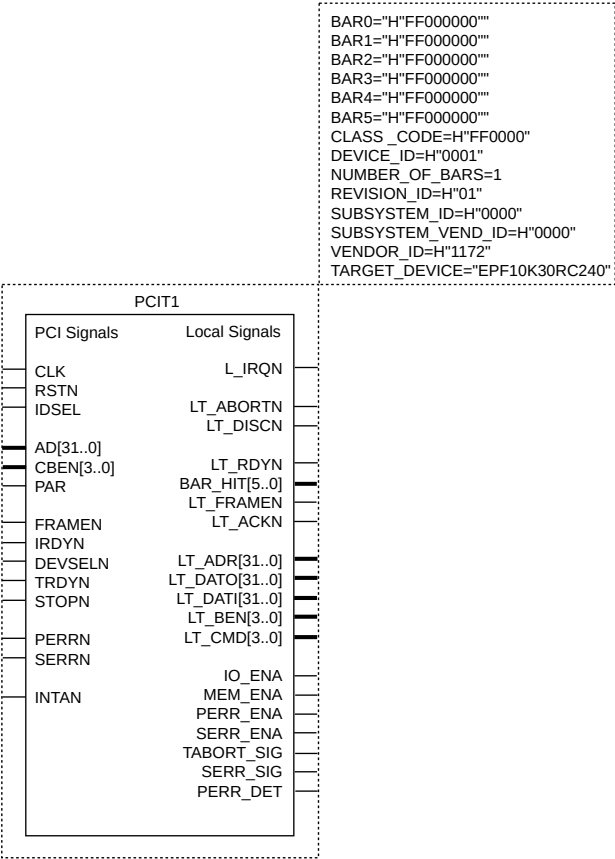
PCIバスで規定されているタイミングとプロトコルに完全準拠させるため、このpcit1には幅広いテストが実施されています。ハードウェアに対して実施されたテストの詳細については、4ページの「PCI仕様への準拠」をご覧ください。多様なウェイト・ステート数とサイクル数のデータ・サイクル、およびランダムなコマンドが、HP E2925A PCIバス・アナライザ／エキササイザを使用してテストされています。実際に、これらのテストには650億以上のデータ・サイクルと100種類のテスト・シナリオが使用されています。

pcit1はパラメータ化されたファンクションとなっており、インスタンス化を行うときにその機能の一部を変更することができます。これらの特長により、スケーラビリティとアダプタビリティ、そしてシリコンの高い使用効率を提供されます。このため、このpcit1は要求の異なる複数のPCIのプロジェクトに使用可能です。

例えば、pcit1は最大6個までのBARを提供しているため、ローカル・サイドの複数のデバイスに対応することができます。ただし、アプリケーションによっては、必要なメモリ領域が1つだけになることがあります。このような場合は、1個のみのBARをインスタンス化して、使用されるロジック・セルの数を減少させることができます。パラメータの値が設定されると、MAX+PLUSIIはデザインを自動的にまた効率的に修正して、ロジックを実現します。

図 1 は、MAX+PLUSIIのグラフィック・デザイン・ファイル (.gdf) で使
用されるときpcit1のシンボルを示したものです。

図 1 pcit1のシンボル



PCI仕様への準拠

pcit1は、PCI SIGの *PCI Local Bus Specification, Revision 2.1* と *Compliance Checklist, Revision 2.1* で規定されている要求事項に準拠しています。このpcit1はMAX+PLUS IIのシミュレータ・チャンネル・ファイル (.scf) として出荷され、MAX+PLUS IIのソフトウェアで使用可能なファンクションとなっています。アルテラは、このpcit1に対して、430NX、430VX、430TX、430HXなどのポピュラなインテル社のPCI / ホスト・ブリッジを使用して、厳しいハードウェア・テストを実施済みです。また、このpcit1には、DEC社の、DEC 21052-ABを含む複数のPCI/PCIブリッジを使用したテストも実施されています。下記に各ハードウェアのタイプに応じて実施されたテスト内容を示します。

- アルテラのFLEX 10K PCIプロトタイプ・ボード上にメモリ・インタフェースを持ったpcit1を実現。
- HP E2925A PCIバス・エキササイザ／アナライザを使用して、pcit1の起動、PCIプロトコルの実行、機能動作のチェックを行い、さらにランタイム・トランザクションにおける動作をモニタ。下記の動作を含むテストを実施。
 - メモリ・リード／ライト、メモリ・ライト・アンド・インバリデート、メモリ・リード・ライン、メモリ・リード・マルチプル
 - コンフィギュレーション・リード／ライト
 - I/Oリード／ライト
 - アブノーマル・ターゲット・ターミネーション（アボート、リトライ、ディスコネクト）
 - ランダム・トランザクション・ウェイト・ステート、バースト・レングス、ターミネーション

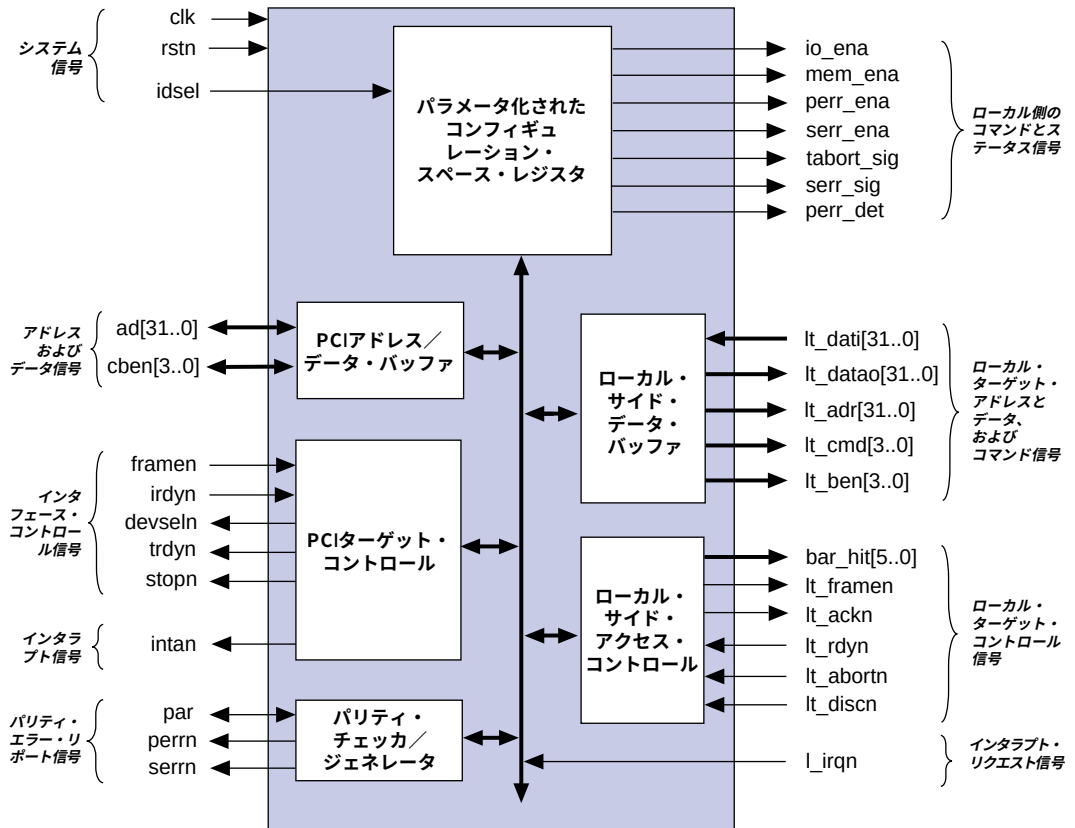
機能の説明

このpcit1は、下記の3つの主要ブロックによって構成されています。

- パラメータ化されたPCIバス・コンフィギュレーション・レジスタ・スペース
- ターゲット・インタフェース・コントロール・ロジック
- パリティ・チェッカ／ジェネレータ

図2はpcit1のブロック図を示したものです。pcit1をPCIバスに接続する信号が、この図の左側に示されています。各信号は機能ごとにグループ化されており、pcit1をPCIバスに接続する場合に、pcit1側から見た各信号の方向が示されています。

図2 pcit1のブロック図



バス・コマンド

表1はpcit1でサポートされているバス・コマンドを示したものです。PCI SIGの*PCI Local Bus Specification, Revision 2.1*の規定にしたがい、サポートされていないすべてのコマンドはpcit1に無視されるようになっています。

表1 pcit1でサポートされているPCIバス・コマンド 注(1)		
cben[3..0]の値	バス・コマンド・サイクル	サポート
0000	インタラプト・アクノレッジ	無視
0001	スペシャル・サイクル	無視
0010	I/Oリード	Yes
0011	I/Oライト	Yes
0100	予約	無視
0101	予約	無視
0110	メモリ・リード	Yes
0111	メモリ・ライト	Yes
1000	予約	無視
1001	予約	無視
1010	コンフィギュレーション・リード	Yes
1011	コンフィギュレーション・ライト	Yes
1100	メモリ・リード・マルチプル (MRM) 注(2)	Yes
1101	デュアル・アドレス・サイクル	無視
1110	メモリ・リード・ライン (MRL) 注(2)	Yes
1111	メモリ・ライト・アンド・インバリデート (MWI) 注(2)	Yes

注：

- (1) トランザクションのアドレス・フェーズにおいて、cben[3..0]のバスがコマンドのタイプを示すために使用されます。
- (2) pcit1は、MRMとMRLのコマンドをメモリ・リードのトランザクションに、MWIのコマンドをメモリ・ライトのトランザクションに変換します。ローカル側はlt_cmd[3..0]のバスからこれらのコマンドを検出します。これらのコマンドに対応した特別な処理が要求される場合は、ローカル側で実行する必要があります。

ターゲット側からの応答

メモリ・トランザクションに対して、pcit1は無制限サイクル数でのゼロ・ウェイト・ステート・バースト転送をサポートしています。このため、メモリ・リードとメモリ・ライトの双方の動作を、32ビット、33MHzのPCIバス・システムの理論上の最高帯域幅となる132Mバイト/secのスループットで実行することができます。ただし、ローカル側のロジックがデータ・サイクル時にバースト・データを処理できない場合は、lt_rdyn信号を使用してウェイト・ステートを挿入し、PCIバス上のデータの変化を遅延させることが必要になることがあります。低速のアプリケーションに対しては、一般的にローカル側のインタフェース部にデータのストアまたはブリフエッチを行うためのデータ・バッファを構成する必要があります。このpcit1では、入力と出力のローカル・データ・バス、アドレス・バスがそれぞれ独立しているため、ローカル側のロジックに多様なデータ幅と深さのデータ・バッファを追加することができます。

また、高速のデータ転送が要求されるアプリケーションに対して、pcit1はローカル・イニシエイティッド・アブノーマル・ターミネーションの動作をサポートしています。ほとんどの条件では、データがマスタとターゲット間で問題なく転送されます。ただし、ローカル側のロジックが要求される動作を完了できない場合には、lt_abortnまたはlt_discn信号を使用して実行中のPCIサイクルを終了させる必要が生じます。この場合、ローカル側のロジックとPCIバスから入力される信号に応じて、pcit1はdevseln、trdyn、stopnのコントロール信号をドライブし、リトライ、ストップ、またはアボートのリクエストを発行してトランザクションを終了させます。

コンフィギュレーション・レジスタ

PCIバスに対応した各デバイスには、コンフィギュレーション・レジスタを構成するために用意された16個のコンフィギュレーションDWORDS (32ビットのデータ・ブロック) のブロックが含まれています。PCI SIGの*PCI Compliance Checklist, Revision 2.1*では、最初の16個分のDWORDSに対してタイプ-0とタイプ-1の2種類のヘッダ・フォーマットが規定されており、PCI-PCI間のブリッジにはタイプ-1のヘッダが、その他のすべてのデバイスにはタイプ-0のヘッダが使用されます。

表2には、64バイトのコンフィギュレーション・レジスタ・スペースが表示されています。この範囲内にあるレジスタはデバイスの指定や、PCIバスのコントロール、PCIバスのステータスの表示に使用されます。青色で塗られている部分は、このpcit1でサポートされているレジスタです。

表2 PCIバスのコンフィギュレーション・レジスタ				
アドレス	バイト			
	3	2	1	0
00H	デバイスID		ベンダID	
04H	ステータス・レジスタ		コマンド・レジスタ	
08H	クラス・コード			リビジョンID
0CH	BIST	ヘッダ・タイプ	レイテンシ・ タイマ	キャッシュ・ ライン・サイズ
10H	ベース・アドレス・レジスタ0			
14H	ベース・アドレス・レジスタ1			
18H	ベース・アドレス・レジスタ2			
1CH	ベース・アドレス・レジスタ3			
20H	ベース・アドレス・レジスタ4			
24H	ベース・アドレス・レジスタ5			
28H	カード・バスCISポインタ			
2CH	サブシステムID		サブシステム・ベンダID	
30H	拡張ROMベース・アドレス・レジスタ			
34H	予約			
38H	予約			
3CH	最大レイテンシ	最小グラント	インタラプト・ピン	インタラプト・ライン

パラメータ

表3は、PCIバス・コンフィギュレーション・レジスタに設定されるpcit1のパラメータを解説したものです。TARGET_DEVICE、NUMBER_OF_BARS、およびBAR0からBAR5を除くすべてのパラメータは、デバイスのID情報を示すためのレジスタとなっており、リード・オンリのPCIコンフィギュレーション・レジスタに各ID情報として設定されます。

表3 pcit1のパラメータ			
名 称	フォーマット	デフォルト値	説 明
NUMBER_OF_BARS	デシマル	1	使用されるBARの数。このパラメータで、コンパイル時にインスタンス化されるpcit1のBARの数がコントロールされる。この数で指定されたBARが、BAR0から順番にインスタンス化される。
BAR0	ヘキサデシマル	H"FF000000"	BAR 0
BAR1	ヘキサデシマル	H"FF000000"	BAR 1
BAR2	ヘキサデシマル	H"FF000000"	BAR 2
BAR3	ヘキサデシマル	H"FF000000"	BAR 3
BAR4	ヘキサデシマル	H"FF000000"	BAR 4
BAR5	ヘキサデシマル	H"FF000000"	BAR 5
CLASS_CODE	ヘキサデシマル	H"FF0000"	クラス・コード・レジスタ
DEVICE_ID	ヘキサデシマル	H"0001"	デバイスIDレジスタ
VENDOR_ID	ヘキサデシマル	H"1172"	デバイス・ベンダIDレジスタ
REVISION_ID	ヘキサデシマル	H"01"	リビジョンIDレジスタ
SUBSYSTEM_ID	ヘキサデシマル	H"0000"	サブシステムIDレジスタ
SUBSYSTEM_VEND_ID	ヘキサデシマル	H"0000"	サブシステム・ベンダIDレジスタ
TARGET_DEVICE	ストリング	"EPF10K30RC240"	pcit1が実現されるデバイス

NUMBER_OF_BARSのパラメータは、コンパイル時にpcit1内にインスタンス化されるBARの数を定義します。このNUMBER_OF_BARSのパラメータの値によっては、BAR0からBAR5までのBARに設定されたパラメータがMAX+PLUSIIのソフトウェアから無視されます。例えば、NUMBER_OF_BARSが1に設定された場合、コンパイル時にBAR1からBAR5までが使用されないことになるため、これらのレジスタに設定されたパラメータの値が無視されます。

BAR0からBAR5までのパラメータはpcit1の下記の機能をコントロールします。

- リザーブされているアドレス・スペースのタイプ（メモリまたはI/O）
- メモリの容量または予約されているI/Oのスペース
- メモリ・スペースがプリフェッチ可能かどうか
- メモリ・スペースを32ビットのアドレス・スペースのどの位置にも設定できるか、1Mバイト以下にマッピングされる必要があるかどうか。

例えば、BAR0 = H"FF000008" となっている場合は、pcit1にはプリフェッチが可能な $2^{(32-8)}$ バイト（16Mバイト）のメモリ・スペースが確保され、このメモリ・スペースを32ビットのアドレス・メモリ・スペースの任意の位置に設けることができます。

信号

このpcit1には下記のPCIバス信号が使用されています。

- **入力** — 標準的な入力専用信号
- **出力** — 標準的な出力専用信号
- **双方向** — トライ・ステートの入出力信号
- **サステインド・トライ・ステート (STS)** — 1度に1つの信号源（PCIバス上で動作するデバイスやホストなど）だけが駆動できる信号。サステインド・トライ・ステートのピンをLowにドライブしているエージェントは、トライ・ステート状態になる1クロック・サイクル前にそのピンをHighにドライブしなければなりません。このとき、他のエージェントは、前のエージェント信号がリリースされた1クロック・サイクル後でないと、サステインド・トライ・ステート信号をドライブすることはできません。
- **オープン・ドレイン** — 他のエージェントとワイヤードORされた信号。信号ソースとなるエージェントがオープン・ドレイン信号をアサートし、プルアップ・レジスタにより、オープン・ドレイン信号がディアサートされます。プルアップ・レジスタがオープン・ドレイン信号をインアクティブのステートにしてリストアするまでには、2から3サイクルのPCIバス・クロック・サイクルが必要となります。

PCI信号

表4は、pcit1がPCIバスにインタフェースされときのPCIバス信号を示したものです。ローカル側の信号の詳細は12ページの「ローカル側の信号」を参照してください。

表4 pcit1をPCIバスに接続するための信号 (1/2)

信号名	タイプ	極性	説明
clk	入力	—	クロック信号。clkの入力はrstnとintan信号を除くすべてのPCIインタフェース信号の基準となる。
rstn	入力	Low	リセット信号。pcit1のインタフェース回路を初期化する信号で、このrstn入力はPCIバスのクロック・エッジに対して非同期にアサートできる。この信号がアクティブになると、PCI出力信号はトライ・ステートとなり、オープン・ドレイン信号（serrnなど）はフローティング状態になる。
idsel	入力	High	デバイス・セレクトの初期化信号。コンフィギュレーション・トランザクションを行うためのチップ・セレクトとして使用される。
ad[31..0]	トライ・ステート 双方向	—	アドレス／データ・バス信号。ad[31..0]はアドレスとデータが時分割されたバスとなっている。バス・トランザクションは、アドレス・フェーズとそれに続く1つ以上のデータ・フェーズで構成される。データ・フェーズはirdynとtrdynの双方がアサートされるときに発生する。

表 4 pcit1をPCIバスに接続するための信号 (2/2)

信号名	タイプ	極性	説 明
cben[3..0]	トライ・ステート 入力	Low	コマンド／バイト・イネーブル信号。cben[3..0]はコマンドとバイト・イネーブルが時分割されるバスとなっている。アドレス・フェーズの期間に、このバスがコマンドを示し、データ・フェーズの期間にバイト・イネーブルを示す。
par	トライ・ステート 双方向	–	パリティ信号。par信号はad[31..0]とcben[3..0]の偶数パリティとなる。ad[31..0]とcben[3..0]で 1 になる数とpar信号の和が偶数になる。データ・フェーズのパリティは、データ・フェーズに続くクロック・サイクルでPCIバスに現れる。
framen	入力	Low	フレーム信号。動作中のバス・マスタがバス・トランザクションの開始と処理中を表示する信号。framenが最初にアサートされたとき、アドレスとコマンド信号がad[31..0]とcben[3..0]に現れる。framen信号はデータ・オペレーションの期間にアサートされ、トランザクションの終わりを示すときにディアサートされる。
irdyn	入力	Low	イニシエータ・レディ信号。バス・マスタからpcit1に入力される信号で、バス・マスタがデータ・トランザクションを実行できることを示す。ライト・トランザクションでは、irdynがアクティブになることによって、ad[31..0]に有効データがあることが示され、リード・トランザクションでは、irdynによってマスタがad[31..0]バス上のデータをマスタが取り込み可能な状態にあることが示される。
devseln	サステインド・ トライ・ステート 出力	Low	デバイス・セレクト信号。ターゲットが自分自身のアドレスをデコードし、トランザクションの実行を了解したときに、このdevselnをアサートする。
trdyn	サステインド・ トライ・ステート 出力	Low	ターゲット・レディ信号。ターゲットが現在のデータ・フェーズを実行できることを示す出力。リード動作では、trdynがアクティブになることによって、ターゲットがad[31..0]に有効なデータを出力していることが示され、ライト動作では、trdynによってマスタがad[31..0]バス上のデータを取り込み可能な状態にあることが示される。
stopn	サステインド・ トライ・ステート 出力	Low	ストップ信号。このstopn信号により、ターゲット・デバイスがバス・マスタに対して処理中のトランザクションの停止を要求する。stopn信号はtrdynとdevselnと共に使用され、ターゲットによる停止のタイプが示される。
perrn	サステインド・ トライ・ステート 出力	Low	パリティ・エラー信号。perrnは、データ・パリティ・エラーの発生を表示する信号で、parが出力された後の 1 クロックの期間、またはパリティ・エラーが発生したデータ・フェーズに続く 2 クロック期間にアサートされる。
serrn	オープン・ ドレイン出力	Low	システム・エラー信号。serrn信号により、システム・エラーとアドレス・パリティ・エラーが表示される。pcit1は、アドレス・フェーズの期間にパリティ・エラーが検出されたとき、およびPCIコマンド・レジスタのserr_enaとperr_enaのビットがセットされたときに、このserrnをアサートする。
intan	オープン・ ドレイン出力	Low	インタラプトA信号。intan信号はホストに対するアクティブLowのインタラプト信号で、インタラプトの機能を必要とするあらゆる単一機能デバイスに使用される必要がある。

PCIバス、およびFLEX 10KとFLEX 6000ファミリの各デバイスはIEEE Std. 1149.1-1990のJTAG (Joint Test Action Group) のバウンダリ・スキャン・テスト (BST) をサポートしています。IEEE Std. 1149.1-1990のBSTを実行する場合は、PCIバスのJTAGピンをFLEX 10KまたはFLEX 6000デバイスのJTAG専用ピンに接続しておく必要があります。詳細は表5を参照してください。

表5 オプションのIEEE Std. 1149.1-1990 JTAG信号

信号名	タイプ	極性	説 明
TCK	入力	High	テスト・クロック信号。テスト・モードの設定、デバイスに対するテスト・データの入出力を行うためのクロック入力。
TMS	入力	High	テスト・モード・セレクト信号。デバイス内のTAP (Test Access Port) コントローラのステートを制御するための入力信号。
TDI	入力	High	テスト・データ。テスト・データとインストラクションがTDIからデバイスへシフト・インされる。
TDO	出力	High	テスト・データ。テスト・データとインストラクションがTDOからシフト・アウトされる。

ローカル側の信号

pcit1をローカル側のペリフェラル・デバイスと接続するときに使用されるpcit1のターゲット信号を表6に示します。

表6 pcit1をローカル側のデバイスに接続する信号 (1/2)

信号名	タイプ	極性	説 明
l_irqn	入力	Low	ローカル・インタラプト・リクエスト信号。ローカル側のペリフェラル・デバイスがPCIバス・インタラプト信号を送出するときに、このl_irqnをアサートする。l_irqnがアサートされると、pcit1はl_irqnがアサートされている期間にintan信号をアサートするようになる。
lt_abortn	入力	Low	ローカル・ターゲット・アボート・リクエスト信号。ローカル側のペリフェラル・デバイスで重大なエラーが発生し、実行中のトランザクションを完了できなくなったときに、このlt_abortnがアサートされる。pcit1にターゲット・アボート動作を要求するときに、このlt_abortnがアサートされる。
lt_discn	入力	Low	ローカル・ターゲット・ディスコネクト・リクエスト信号。この信号はpcit1にリトライまたはディスコネクトを要求するときに使用される。pcit1は、lt_discnがアサートされたタイミングに応じてリトライまたはディスコネクトの動作を行う。PCIバスでは、実行中のトランザクションがメモリ・スペースを超える状態になったときに、ターゲット・デバイスがディスコネクトを発行するようになっている必要がある。トランザクションがターゲット・デバイスのメモリ・スペースを超える状態になったとき、ローカル側はこのlt_discnをアサートしなければならない。
lt_rdyn	入力	Low	ローカル・ターゲット・レディ信号。ローカル側のデバイスがターゲット・リード時に有効なデータを出力できる状態になっていること、あるいはターゲット・ライト時にデータを受け入れ可能になったことを示すときに、ローカル側がこのlt_rdyn信号をアサートする。ターゲット・リード時にlt_rdynがディアサートとされると、実行中の転送が停止され、ローカル側からウェイト・ステートが挿入される。また、ターゲット・ライト時にlt_rdynをインアクティブすることで、pcit1に対してPCIバスへウェイト・ステートを挿入するように要求することができる。バースト転送時においては、pcit1が、lt_rdynによってローカル側にウェイト・ステートが挿入されたときのみ、ウェイト・ステートを挿入する。
lt_dati[31..0]	入力	–	ローカル・ターゲット・データ・バス入力信号。PCIバスによって開始されたリード・トランザクションの実行時に、ローカル側のペリフェラル・デバイスによってlt_dati[31..0]のバスがアクティブにドライブされる。
bar_hit[5..0]	出力	High	BARの指定信号。bar_hit[5..0]バスにデータをアサートすることによって、PCIのアドレスを、要求されるトランザクションを実行するpcit1のBARのアドレスに一致させる。bar_hit[5..0]バスの各ビットが対応するBARを指定するようにし、BAR0には、bar_hit[0]が使用される。bar_hit[5..0]バスのタイミングはlt_framen信号と同じである。
lt_framen	出力	Low	ローカル・ターゲット・フレーム・リクエスト信号。pcit1がPCIのトランザクションに使用されている期間に、このlt_framen信号がアサートされる。lt_framen信号はpcit1がdevselnをアサートする1クロック前にアサートされ、実行中のPCIトランザクションの最後のデータ・フェーズが完了した後でリリースされる。

表6 pcit1をローカル側のデバイスに接続する信号 (2/2)

信号名	タイプ	極性	説 明
lt_ackn	出力	Low	ローカル・ターゲット・アクノレッジ信号。pcit1はlt_acknをアサートしてターゲット・ライトのトランザクションにおいて有効なデータが出力されていることを、またはターゲット・リードのトランザクションにおいてデータを受け入れ可能であることを示す。ターゲット・リードにおいてlt_acknがディアサートされると、pcit1がデータの受け入れをできない状態にあり、ローカル側のデバイスがバースト・トランザクションを停止する必要があることが示される。また、ターゲット・ライトにおいて、lt_acknがディアサートされると、実行中の転送が停止され、PCIのマスタ・デバイスによってウェイト・ステートが挿入される。バースト・トランザクション時には、PCIのバス・マスタがウェイト・ステートを挿入したときにのみ、lt_acknがディアサートされる。
lt_adr[31..0]	出力	–	ローカル・ターゲット・アドレス出力信号。lt_adr[31..0]の出力は、実行中のローカル側のデータ・フェーズに対するターゲット・メモリ・アドレスを示す。pcit1は、ローカル側でデータの転送完了後にlt_adr[31..0]バスをインクリメントし、lt_rdynとlt_acknが同じクロック・サイクルでアクティブとなる。
lt_dato[31..0]	出力	–	ローカル・ターゲット・データ・バス出力信号。PCIが開始したライト・トランザクション時に、lt_datao[31..0]がローカル側のペリフェラル・デバイスによってドライブされる。
lt_ben[3..0]	出力	Low	ローカル・ターゲット・バイト・イネーブル信号。lt_ben[3..0]に、データ・フェーズの期間にPCIのマスタからのバイト・イネーブル・リクエスト信号が出力される。
lt_cmd[3..0]	出力	–	ローカル・ターゲット・コマンド信号。要求されるトランザクションに対するPCIコマンドがlt_cmd[3..0]に出力される。lt_cmd[3..0]のバスには、cben[3..0]と同じエンコーディング方法が使用される。

ローカル側のコマンド／ステータス信号

表7は、pcit1のコマンド／ステータス・レジスタからローカル側のロジックをドライブするpcit1のコントロール信号が示されています。各レジスタの詳細については、*PCI Local Bus Specification, Revision 2.1*を参照してください。

表 7 pcit1のローカル側のコマンド／ステータス信号

信号名	タイプ	極性	説 明
io_ena	出力	High	I/Oスペース・イネーブル信号。PCIコマンド・レジスタのビット-0。
mem_ena	出力	High	メモリ・スペース・イネーブル信号。PCIコマンド・レジスタのビット-1。
perr_ena	出力	High	パリティ・エラー・レスポンス・イネーブル信号。PCIコマンド・レジスタのビット-6。
serr_ena	出力	High	システム・エラー信号。PCIコマンド・レジスタのビット-8。
tabort_sig	出力	High	pcit1から伝送されるターゲット・アボート信号。PCIステータス・レジスタのビット-11。
serr_sig	出力	High	システム・エラーを示す信号。PCIステータス・レジスタのビット-14。
perr_det	出力	High	pcit1によって検出されたデータまたはアドレスのパリティ・エラーを示す信号。PCIステータス・レジスタのビット-15。

参考資料

このpcit1については、下記の関連資料を参照してください。

- **PCI Local Bus Specification, Revision 2.1.** Portland, Oregon: PCI Special Interest Group, June 1995.
- **PCI Compliance Checklist, Revision 2.1.** Portland, Oregon.
- **アルテラ社1998年版データブック**, January 1998

Altera, FLEX, FLEX 10K, FLEX 600Q, MegaCore, OpenCore, MAX, MAX+PLUS, MAX+PLUS IIは、Altera Corporationの米国および該当各国におけるtrademarkまたはservice markです。この資料に記載されているその他の製品名などは該当各社のtrademarkです。Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



I.S. EN ISO 9001

Copyright© 1998 Altera Corporation. All rights reserved.

ALTERA®

日本アルテラ株式会社

〒163-0436

東京都新宿区西新宿2-1-1

新宿三井ビル私書箱261号

TEL. 03-3340-9480 FAX. 03-3340-9487

<http://www.altera.com/japan/>

本社 Altera Corporation

101 Innovation Drive,

San Jose, CA 95134

TEL : (408) 544-7000

<http://www.altera.com>

この資料に記載された内容は予告なく変更されることがあります。最新の情報は、アルテラのウェブ・サイト (<http://www.altera.com>) でご確認ください。この資料はアルテラが発行した英文のデータシートを日本語化したものであり、アルテラが保証する規格、仕様は英文オリジナルのものです。