



Includes
MAX 7000AE

MAX 7000A

プログラマブル・ロジック・
デバイス・ファミリ

1998年 6 月 ver.1.11

Data Sheet

特長

暫定仕様 (Preliminary Information)

- ミケランジェロという開発コード名で呼ばれていた新製品
- 第二世代のMAX[®] (Multiple Array Matrix) アーキテクチャをベースにしたCMOS EEPROMプロセスによる高性能プログラマブル・ロジック・デバイス (PLD) ファミリ (表1を参照)
- 業界標準のJTAG (Joint Test Action Group) インタフェースを使用した3.3Vのイン・システム・プログラマビリティ (ISP) を最先端のピン・ロック機能と共にサポート
- IEEE Std. 1149.1-1990に準拠したJTAGバウンダリ・スキャン・テスト (BST) 回路を内蔵
- さらに強化されたISP機能
 - ー ISPアルゴリズムの改良により高速プログラミングを実現 (EPM7128AとEPM7256Aを除く)
 - ー 完全なプログラミングを確認できるISP_DONEビット (EPM7128AとEPM7256Aを除く)
 - ー イン・システム・プログラミング中のI/Oピンにプルアップ抵抗を提供
- 5.0V動作の業界標準PLD、MAX 7000Sデバイスとピン互換
- 600から10,000ユーザブル・ゲートの高集積PLD
- 最大5nsのピン間遅延、最高178.6MHzのカウンタ周波数の高速性能
- MultiVolt[™] I/Oインタフェースにより、デバイスのコア部分を3.3Vで動作させながら、I/Oピンを5.0V、3.3Vまたは2.5Vのロジック・レベルとインタフェースすることが可能
- 薄型クワッド・フラット・パック (TQFP)、プラスチック・クワッド・フラット・パック (PQFP)、実装面積を削減するFineLine BGA[™]、プラスチック・Jリード・チップ・キャリア (PLCC) を含む44ピンから256ピンまでの豊富なパッケージ・オプションを提供

表1 MAX 7000A デバイスの特長

機 能	EPM7032AE	EPM7064AE	EPM7128A	EPM7256A	EPM7384AE	EPM7512AE
ユーザブル・ゲート数	600	1,250	2,500	5,000	7,500	10,000
マクロセル数	32	64	128	256	384	512
ロジック・アレイ・ブロック数	2	4	8	16	24	32
最大ユーザ I/O ピン数	36	68	100	164	212	212
t _{PD} (ns)	5	5	6	7.5	7.5	7.5
t _{SU} (ns)	3.6	3.6	4	4.9	4.9	4.9
t _{FSU} (ns)	2.5	2.5	2.5	2.5	3	3
t _{CO1} (ns)	3	3	3.5	4.5	4.5	4.5
f _{CNT} (MHz)	178.6	178.6	147.1	119.0	119.0	119.0

さらに多くの 特長…

- 連続した配線構造となっているプログラマブル・インタコネクト・アレイ (PIA) により、高速で予測可能な性能を実現
- PCI (Peripheral Component Interconnect) 仕様に準拠
- プログラマブルなスルー・レート・コントロールを含むバス・フレンドリなアーキテクチャ
- オープン・ドレイン出力オプション
- クリア、プリセット、クロック、クロック・イネーブルを個別に設定できるプログラマブルなマクロセル・フリップフロップ
- 各マクロセルの消費電力を50%以上も低減できるプログラマブルなパワー・セーブ・モード
- 各マクロセルで最大32本までのプロダクト・タームの使用を可能にするプログラマブルなエクスパンダ・プロダクト・ターム
- デザインのプロテクトを可能にするプログラマブルなセキュリティ・ビット
- さらに機能が強化されたアーキテクチャ
 - ピンまたは内部ロジックからのドライブ可能な6本または10本の出力イネーブル信号
 - 極性反転が可能な2本のグローバル・クロック信号
 - 内部接続用のリソースの強化により、配線がさらに容易
 - I/Oピンからマクロセル・レジスタへの専用バスにより、高速の入力セットアップ・タイムを実現
 - プログラマブルな出力のスルー・レート・コントロール機能
- 486およびペンティアム・ベースのPC、Sun SPARCstation HP 9000 シリーズ700/800、IBM RISC System/6000の各ワークステーション上で動作するアルテラのMAX+PLUS® II によるソフトウェア・デザイン・サポートと自動配置配線機能
- EDIF 2.00および3.00のネットリスト・ファイル、LPM (Library of Parameterized Modules)、Verilog HDL、VHDLなどとのインタフェースにより、デザインの入力とシミュレーションにはケイデンス、エグゼンプラ・ロジック、メンター・グラフィックス、OrCAD、シノプシス、シンプリシティ、ベリベストなどの各ベンダから供給されている業界標準のEDAツールが使用可能
- アルテラのマスタ・プログラミング・ユニット (MPU) とBitBlaster™シリアル・ダウンロード・ケーブル、ByteBlaster™およびByteBlasterMV™パラレル・ポート・ダウンロード・ケーブル、サード・ベンダのハードウェア、Jam™またはシリアル・ベクタ・フォーマット・ファイル (.svf) 対応のICT (イン・サーキット・テスト) によるプログラミング・サポート

概要

MAX 7000Aファミリ (MAX 7000AEを含む) はアルテラが開発した第二世代のMAXアーキテクチャをベースにした高集積で高性能なプログラマブル・ロジック・デバイスです。MAX 7000Aファミリは先端のCMOS EEPROM テクノロジーによって製造されており、3.3Vの電源電圧動作、600から10,000ユーザブル・ゲートの集積度、ISP機能、最大5 nsのピン間遅延と最高178.6 MHzのカウンタ・スピードを提供します。MAX 7000Aデバイスの-5、-6、-7および-10のスピード・グレードの製品はPCI-SIG (Peripheral Component Interconnect Special Interest Group) の**PCI ローカル・バス標準規格、Revision-2.1**に準拠しています。各デバイスごとに提供されているスピード・グレードについては、表2を参照してください。

表2 MAX 7000A ファミリのスピード・グレード 注(1)

デバイス名	スピード・グレード					
	-5	-6	-7	-10	-12	-15
EPM7032AE	✓		✓	✓		
EPM7064AE	✓		✓	✓		
EPM7128A		✓	✓	✓	✓	
EPM7256A			✓	✓	✓	
EPM7384AE			✓	✓		✓
EPM7512AE			✓	✓		✓

注：

(1) これらは暫定仕様です。

MAX 7000AのアーキテクチャはすべてのTTL回路を100%エミュレートすることができ、SSI、MSI、およびLSIの論理機能の高集積化が可能です。また、複数のPAL、GAL、22V10からMACH、pLSI、FPGA(Field Programmable Gate Array)に至るプログラマブル・ロジックをMAX 7000Aに容易に集積化することができます。ゲートアレイに匹敵するスピード、集積度、I/Oリソースを提供するMAX 7000Aデバイスは、ゲートアレイの試作にも理想的です。MAX 7000Aファミリのデバイスには豊富なパッケージ・オプションが用意されており、PLCC、FineLine BGA、PQFP、TQFPを含む多様なパッケージで供給されています。各デバイスごとに供給されるパッケージの種類については表3を参照してください。

表3 MAX 7000A デバイスのパッケージ・オプションと最大ユーザ I/O ピン数 注(1)、(2)

デバイス名	44-Pin PLCC	44-Pin TQFP	84-Pin PLCC	100-Pin TQFP	100-Pin FineLine BGA	144-Pin TQFP	208-Pin PQFP	256-Pin FineLine BGA
EPM7032AE	36	36						
EPM7064AE	36	36	68	68	68			
EPM7128A			68	84	84	100		100
EPM7256A				84	84	120	164	164
EPM7384AE						120	176	212
EPM7512AE						120	176	212

注：

- (1) 各パッケージの最新の供給状況については、日本アルテラまたは販売代理店にお問い合わせください。
 (2) IEEE Std. 1149.1のJTAGインタフェースがバウンダリ・スキャン・テストまたはイン・システム・プログラミングに使用される場合は、4本のI/OピンがJTAG専用ピンになります。

MAX 7000Aファミリの各デバイスは、論理機能の実現にCMOSのEEPROMセルを使用しています。ユーザ・プログラマブルなMAX 7000Aのアーキテクチャは、独立した組み合わせ回路と順序回路の機能を幅広く実現することができます。MAX 7000Aデバイスでは、デザインの開発とデバッグ・サイクルにおける設計変更とリプログラミングを迅速にかつ効率的に繰り返して行うことができ、100回までのプログラム・イレース（消去）サイクルが可能です。

MAX 7000Aデバイスは32個から512個のマクロセルを内蔵しており、各マクロセルは16個単位でロジック・アレイ・ブロック（LAB）と呼ばれる1つのグループにまとめられています。各マクロセルはプログラマブルなANDと固定のORで構成されるアレイとプログラマブルなレジスタを持っており、このレジスタのクロック、クロック・イネーブル、クリア、プリセットの機能はマクロセルごとに個別に設定することができます。また、複雑な論理機能を構成する場合には、各マクロセルがシェアラブル・エクスパンダと高速のパラレル・エクスパンダによる追加のプロダクト・タームを使用することができ、マクロセル当たり最大32本までのプロダクト・タームが提供されます。

MAX 7000Aデバイスはプログラマブルなスピードとパワーの最適化機能を持っており、スピードのクリティカルな部分をハイ・スピード／フル・パワーのモードで動作させながら、残りの部分を低速のロー・パワー・モードで動作させることができます。このスピードとパワーの関係を最適化する特長を利用することによって、ロー・パワー・モードが選択された1個または複数のマクロセルには一定の追加タイミング遅延が発生しますが、これらのマクロセルを高速モードの50%またはそれ以下の消費電力で動作させることができます。さらにMAX 7000Aデバイスには出力バッファのスルー・レートを低下させることができるオプションが提供されており、スピードがクリティカルでない信号のスイッチング・スピードを低下させて、発生するノイズを最小に抑えることができます。すべてのMAX 7000Aデバイスの出力ドライバは3.3Vまたは2.5Vのいずれかの電圧で動作するように設定可能であり、またすべての入力ピンは5.0Vのロジック・レベルとインタフェースできるようになっているため、MAX 7000Aデバイスを複数の電源電圧を持ったシステムに使用することができます。

MAX 7000Aデバイスの設計は、VHDL、Verilog HDL、アルテラ・ハードウェア記述言語（AHDL）を含むテキストおよび波形の各デザイン入力、コンパイル、論理合成、シミュレーション、タイミング解析、そしてデバイス・プログラミングの各機能を1パッケージに統合したアルテラのMAX+PLUS II開発システムによってサポートされています。また、MAX+PLUS IIはEDIF 2.0および3.0、LPM、VHDL、Verilog HDLなどのネットリスト・インタフェースを提供しており、デザインの入力とシミュレーションには他のベンダから供給されるPCまたはUNIXワークステーション・ベースの業界標準EDAツールも使用できます。MAX+PLUS IIは486またはペンティアム・ベースのPC、およびSun SPARCstation、HP 9000シリーズ700/800、IBM RISC System/6000の各ワークステーション上で動作します。



MAX+PLUS IIの詳細については、**1998年版データブック**にも掲載されている「MAX+PLUS II Programmable Logic Development System & Software」のデータシート（日本語版有り）を参照してください。

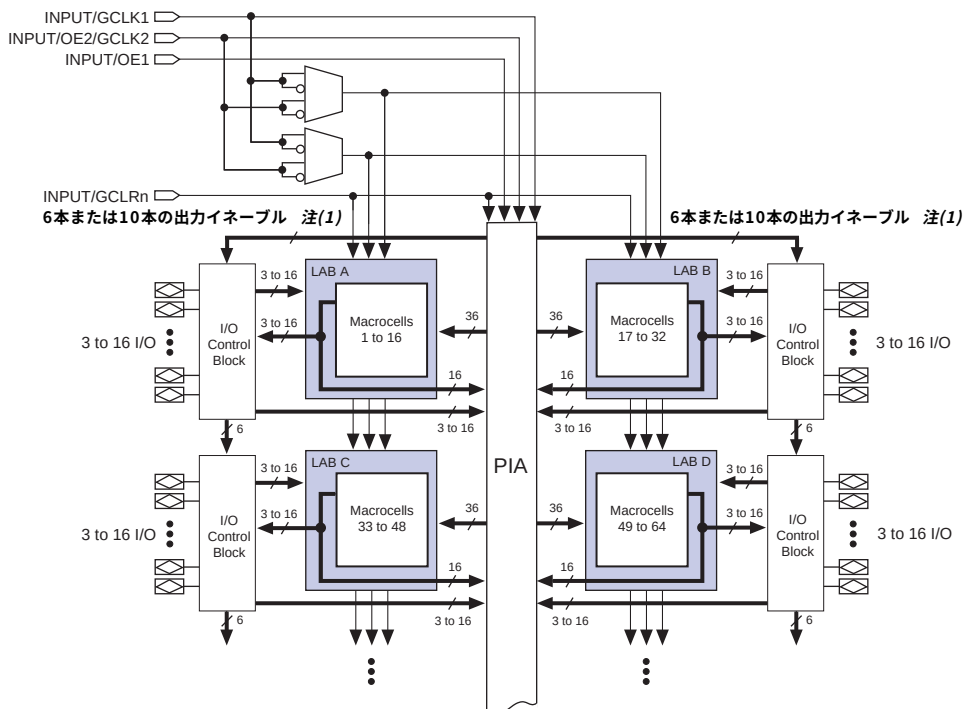
機能説明

MAX 7000Aのアーキテクチャは次のエレメントによって構成されています。

- ロジック・アレイ・ブロック (LAB)
- マクロセル
- エクスパンダ・プロダクト・ターム (シェアラブル、およびパラレル)
- プログラマブル・インタコネクト・アレイ
- I/Oコントロール・ブロック

MAX 7000Aのアーキテクチャには4本の専用入力ピンが提供されており、これらの専用入力を汎用の入力信号、各マクロセルまたはI/Oピンに対する高速でグローバルなコントロール信号(クロック、クリア、および2本の出力イネーブル)として使用することができます。図1はMAX 7000Aデバイスのアーキテクチャを示したものです。

図1 MAX 7000Aデバイスのアーキテクチャ



注：

- (1) EPM7032AE、EPM7064AE、EPM7128A、EPM7256Aの各デバイスは6本の出力イネーブルを持っており、EPM7384AEとEPM7512AEは10本の出力イネーブルを持っています。

ロジック・アレイ・ブロック

MAX 7000Aのアーキテクチャは、ロジック・アレイ・ブロック (LAB) と呼ばれる高性能で柔軟性に富んだ小さなロジック・アレイのモジュールを相互に接続するというコンセプトに基づいて構成されています。図1に示されているように、LABは16個のマクロセルによって構成されており、プログラマブル・インタコネクト・アレイ (PIA) と呼ばれるグローバルなバスを通じて相互に接続されます。このPIAにはすべての入力専用ピン、I/Oピン、マクロセルが接続されています。

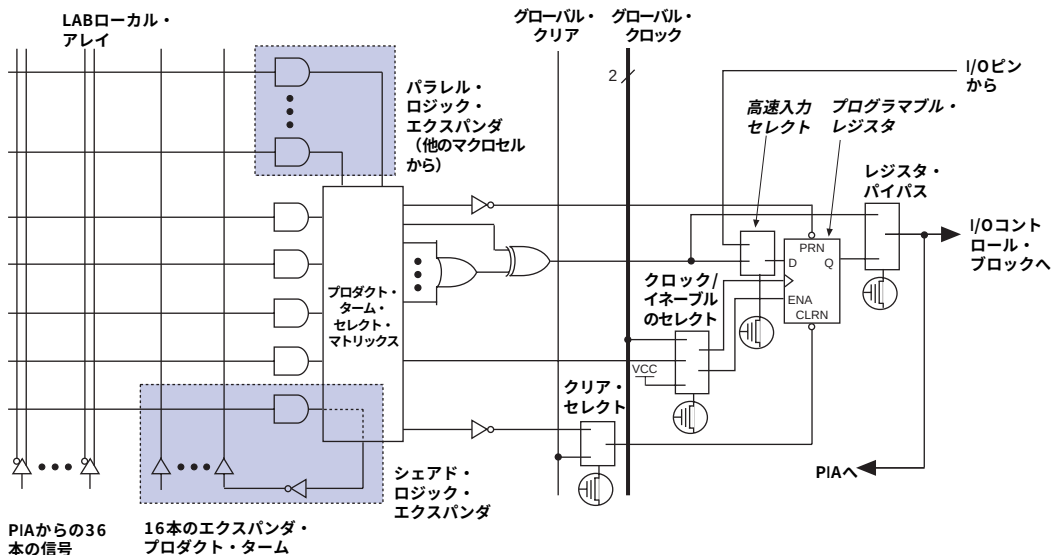
各LABには次の信号が接続されます。

- 汎用のロジック入力として使用されるPIAからの36本の信号
- レジスタのコントロールに使用されるグローバルなコントロール信号
- 各レジスタに高速のセットアップ・タイムを提供することができるI/Oピンからレジスタへのダイレクト・パスを通じて入力される信号

マクロセル

MAX 7000Aのマクロセルは組み合わせ回路、またはシーケンシャルな回路の動作を行うように個別に設定することができます。マクロセルはロジック・アレイ、プロダクト・ターム・セレクト・マトリックス、およびプログラマブル・レジスタの3つの機能ブロックで構成されています。図2はMAX 7000Aのマクロセルの構造を示したものです。

図2 MAX 7000Aデバイスのマクロセル



組み合わせ論理はロジック・アレイで実現され、ロジック・アレイから各マクロセルに5本のプロダクト・タームが割り当てられています。プロダクト・ターム・セレクト・マトリックスによって、これらのプロダクト・タームはORゲートおよびXORゲートに対する入力、またはマクロセル内のレジスタに対するプリセット、クロック、クロック・イネーブルの入力信号として使用されます。

MAX 7000Aのアーキテクチャには、マクロセルのロジック・リソースを強化する下記の2種類のエクспанダ・プロダクト・タームが提供されています。

- プロダクト・タームの極性を反転させ、ロジック・アレイにフィードバックさせることができる「シェアラブル・エクспанダ」
- 隣接したマクロセルから追加のプロダクト・タームとして借りることができる「パラレル・エクспанダ」

MAX+PLUS IIは、各デザインで要求されるロジックに応じて自動的にプロダクト・タームの分配を最適化します。

レジスタ付きのロジックを実現する場合は、各マクロセルのフリップフロップがクロック・コントロール機能を持ったD、T、JK、SRのタイプの動作を行うように個別にプログラムすることができます。また、組み合わせ回路を構成する場合は、必要に応じてフリップフロップをバイパスすることも可能です。ユーザはデザインの入力時にフリップフロップのタイプを指定することもできます。MAX+PLUS IIは各レジスタ・ファンクションに対してもっとも効率的なフリップフロップのタイプを選択し、リソースの使用効率を最適化します。

各プログラマブル・レジスタには、次の3種類のクロック・モードが提供されています。

- 専用のグローバル・クロック・ピンからの信号をレジスタのクロックとするモード。このモードでは、最も高速な「Clock-to-Output」時間が実現されます。
- グローバル・クロック・ピンからの信号をアクティブHighのクロック・イネーブル信号によってイネーブルし、レジスタのクロックと与えるモード。このモードでは、グローバル・クロックによる「Clock-to-Output」時間が最も高速となる特長を生かしながら、各フリップフロップを個別にイネーブルにすることができます。
- プロダクト・タームで生成された信号をレジスタのアレイ・クロックとするモード。このモードでは、I/Oピンまたはマクロセルからの信号ソースをフリップフロップのクロックとして使用します。

MAX 7000Aデバイスには2本のグローバル・クロック信号が提供されており、図1で示されているようにGCLK1またはGCLK2のグローバル・クロック・ピンからのいずれかの信号を非反転、または反転させた極性で 사용할ことができます。

各レジスタには非同期のプリセットとクリアが使用できます。図2に示したように、これらの動作に必要なプロダクト・タームは、プロダクト・ター

ム・セレクト・マトリックスによって各レジスタに割り当てられます。レジスタはアクティブHighの入力でプリセットまたはクリアされますが、デバイス内部のアレイで信号を反転させることによって、アクティブLowの信号でレジスタをプリセットまたはクリアすることもできます。さらに、各レジスタのクリア機能は、アクティブLowで動作するグローバル・クリア・ピン（GCLRn）からの信号を使用して個別に設定することができます。

すべてのMAX 7000Aデバイスには、各マクロセル・レジスタに対応したI/Oピンから高速レジスタ入力パスが提供されています。この専用パスを使用することによって、I/Oピンからの信号をPIAや組み合わせ回路をバイパスさせてダイレクトにフリップフロップに入力することが可能になり、Dタイプのフリップフロップが非常に高速なセットアップ・タイム（最高速バージョンで2.5ns）で動作させることができます。

エキスパンダ・プロダクト・ターム

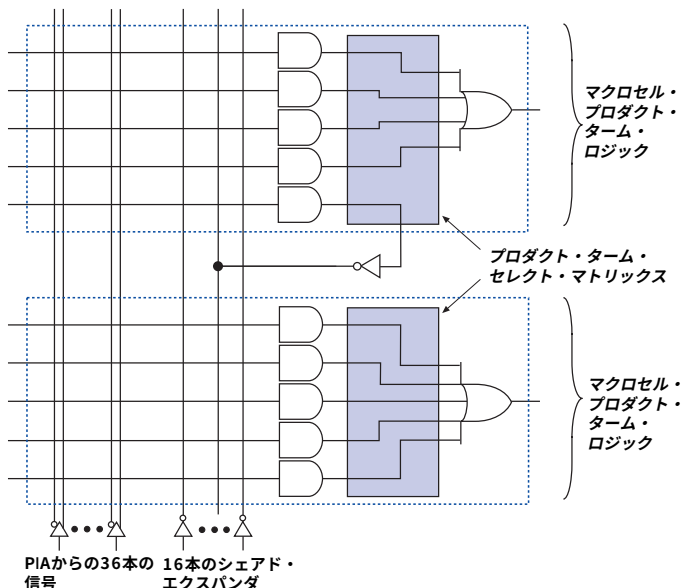
ほとんどの論理機能は各マクロセルに提供されている5本のプロダクト・タームによって実現できますが、さらに複雑なロジックの構成には追加のプロダクト・タームが必要になります。このような場合、MAX 7000Aのアーキテクチャでは必要となるロジックのリソースを他のマクロセルから供給する代わりに、同一LAB内のあらゆるマクロセルに対して追加のプロダクト・タームとなる「シェアラブル・エキスパンダ」と「パラレル・エキスパンダ」が提供されています。これらのエキスパンダを使用することによって、最も高速で動作するロジックを最小のリソースで構成することができます。

シェアラブル・エキスパンダ

各LABは最大16本までのシェアラブル・エキスパンダを持っており、これらは特定のマクロセルに直接接続されていないプロダクト・ターム（各マクロセルから1本ずつ）をプールしたような形となっています。このプロダクト・タームの出力は反転されて内部にフィードバックされています。複雑なロジックを実現する場合、シェアラブル・エキスパンダは同一LAB内の任意のマクロセル、あるいはすべてのマクロセルで共有して使用することができます。シェアラブル・エキスパンダが使用された場合、 t_{SEXPk} に相当する小さな追加タイミング遅延が発生します。図3はシェアラブル・エキスパンダが複数のマクロセルに接続できることを示したものです。

図3 MAX 7000Aのシェアラブル・エキスパンダ

シェアラブル・エキスパンダは同一LABの任意のマクロセルまたはすべてのマクロセルで共有が可能。



パラレル・エキスパンダ

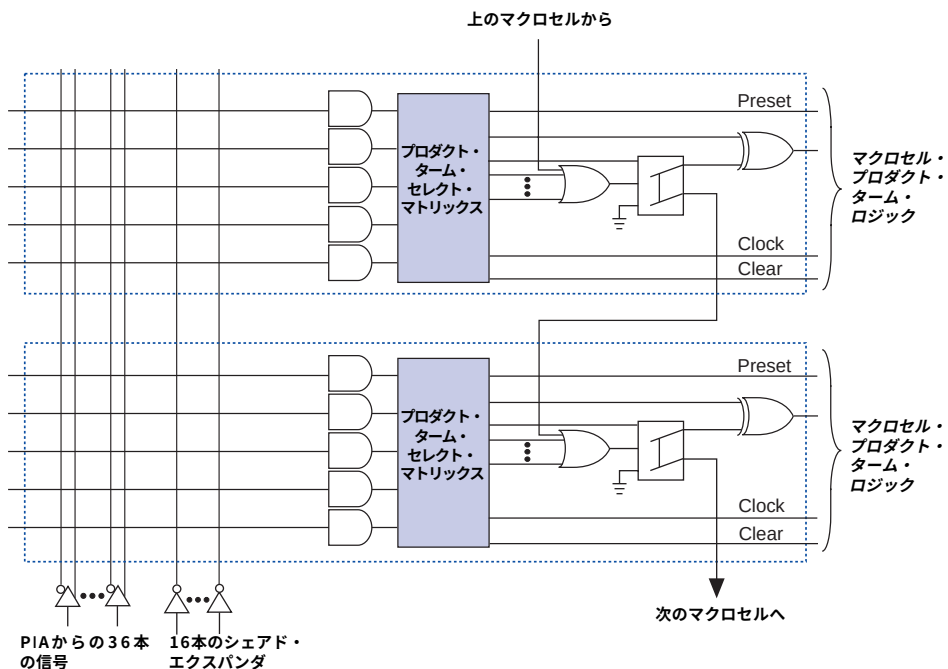
パラレル・エキスパンダは各マクロセルで使用されないプロダクト・タームで、高速で複雑な論理機能を実現する場合に隣接したマクロセルで利用することができます。各マクロセルには5本のプロダクト・タームがあり、さらに15本のパラレル・エキスパンダをLAB内の隣接したマクロセルから供給することができます。このため、1個のマクロセルのORゲートには最大20本までのプロダクト・タームを入力することができます。

MAX+PLUS IIのコンパイラは、5本のパラレル・エキスパンダを1セットとして最大3セットまでを必要なマクロセルに追加のプロダクト・タームとして自動的に分配することができます。この5本で1セットのエキスパンダが使用されるごとに、小さな追加タイミング遅延 (t_{PEXP}) が発生します。1個のマクロセルが14本のプロダクト・タームを必要とする場合には、コンパイラがマクロセル内の5本の専用プロダクト・タームと2セットのパラレル・エキスパンダを使用し、最初の1セット目のパラレル・エキスパンダから5本のプロダクト・タームと2セット目のパラレル・エキスパンダから4本のプロダクト・タームを割り当て、合計14本のプロダクト・タームが割り当てられます。このような場合には、 t_{PEXP} の2倍の追加遅延が発生します。

LAB内の8個のマクロセルを1つのグループとして、その2つのグループ（マクロセル-1からマクロセル-8までと、マクロセル-9からマクロセル-16までの2グループ）がパラレル・エクスパンダの貸し借りをするための2つのチェーンを構成します。1個のマクロセルは下位の番号のマクロセルからパラレル・エクスパンダを借りることができます。例えば、マクロセル-8はマクロセル-7から、またはマクロセル-7と-6から、あるいはマクロセル-7、-6、-5からパラレル・エクスパンダを借りることができます。8個のマクロセルで構成されるグループ内では、最も番号の小さいマクロセルはパラレル・エクスパンダを貸すだけで、最も番号の大きなマクロセルはパラレル・エクスパンダを借りるだけとなります。図4は隣接したマクロセル間でパラレル・エクスパンダが貸し借りされる様子を示したものです。

図4 MAX 7000Aのパラレル・エクスパンダ

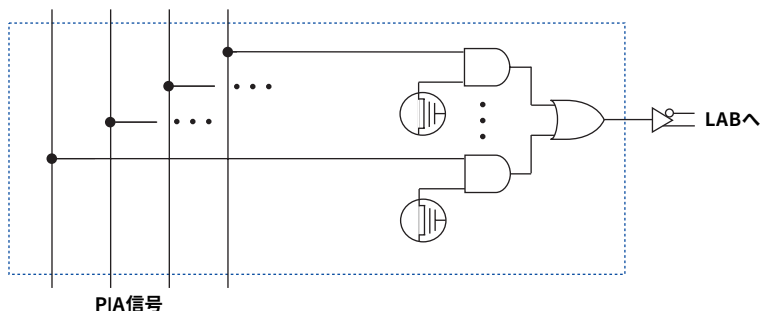
使用されていないプロダクト・タームを隣接したマクロセルに割り当てることが可能。



プログラマブル・インタコネクト・アレイ

LAB間の接続はプログラマブル・インタコネクト・アレイ（PIA）によって行われます。このグローバルなバスは、デバイス内のあらゆる信号ソースを任意のディスティネーションに接続することができます。MAX 7000Aのすべての専用入力、I/Oピン、マクロセルはPIAに接続されており、PIAはデバイス全体にわたる配線が行えます。ここで、各LABの必要とする信号のみがPIAからLABに実際に接続されます。図5はPIAからの信号がLABに接続される様子を示したものです。ここで、EEPROMのセルが2入力ANDゲート的一方の入力をコントロールしており、PIAからLABに接続される信号が選択されます。

図5 MAX 7000AのPIAによる配線

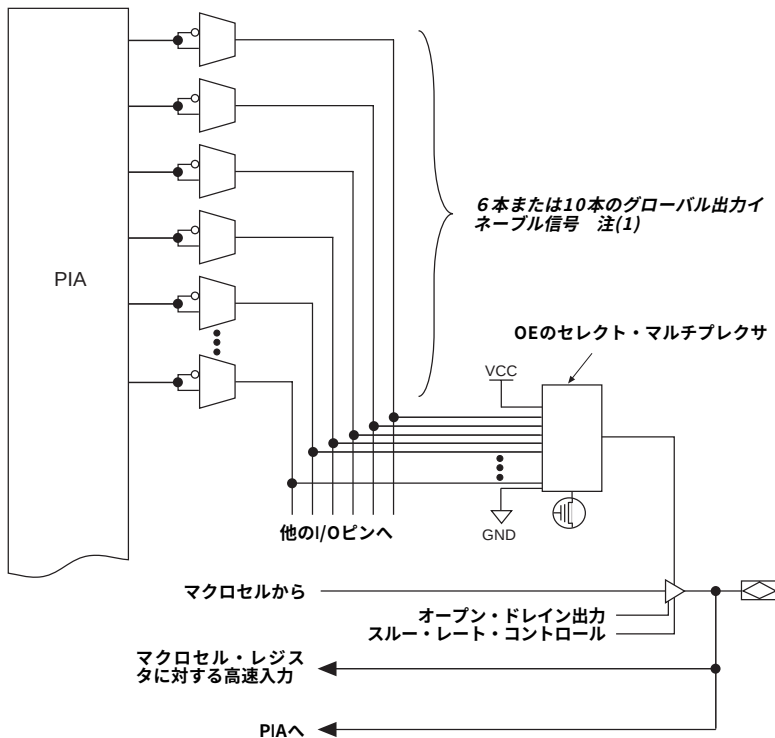


チャネル構造の配線形式となっているマスクド・ゲート・アレイやフィールド・プログラマブル・ゲート・アレイ（FPGA）では一定しない配線遅延が累積されるため、トータルな配線遅延は実際に配線されるパスに依存することになります。これに対して、MAX 7000AのPIAの配線遅延は一定です。このため、PIAによってデザインの性能が簡単に予測できるようになります。

I/Oコントロール・ブロック

I/Oコントロール・ブロックでは、各I/Oピンを入力または出力、あるいは双方向のピンに個別に設定できるようになっています。すべてのI/Oピンはトライ・ステート・バッファを持っています。このトライ・ステート・バッファのコントロール信号にはグローバルな出力イネーブル信号のうちのいずれか1本を使用することができ、コントロール信号をGNDまたは V_{CC} に直接接続することも可能です。図6はMAX 7000AデバイスのI/Oコントロール・ブロックを示したものです。MAX 7000AデバイスのI/Oコントロール・ブロックには計6本または10本のグローバル出力イネーブル信号が提供されており、2本の出力イネーブル信号からの非反転または反転信号、他のI/Oピンからの信号、またはI/Oピンとマクロセルの組み合わせ信号によってドライブされるようになっています。

図6 MAX 7000AデバイスのI/Oコントロール・ブロック



注：

- (1) EPM7032AE, EPM7064AE, EPM7128A, EPM7256Aの各デバイスは6本の出力イネーブルを持っており、EPM7384AE, EPM7512ABは10本の出力イネーブルを持っています。

トライ・ステート・バッファ・コントロールがGNDに接続された場合、出力バッファは常にトライ・ステート（ハイ・インピーダンス）となり、そのI/Oピンは入力専用ピンとなります。また、このトライ・ステート・バッファ・コントロールがV_{CC}に接続された場合には、出力が常時イネーブルとなります。

MAX 7000Aのアーキテクチャでは、マクロセルからのフィードバックとI/Oピンからのフィードバックとが分離されているデュアルI/Oフィードバック構造が採用されています。このため、I/Oピンが入力に設定された場合でも、対応するマクロセルを内部の埋め込みロジックとして使用できます。

イン・システム・プログラマビリティ (ISP)

MAX 7000Aデバイスは業界標準であるJTAG (Joint Test Action Group) インタフェース (IEEE Std. 1149.1-1990) の4本のピンを使用したイン・システム・プログラマビリティ (ISP) をサポートしています。ISPの機能を使用することによって、開発およびデバッグ段階での設計変更とプログラムを迅速にまた効率的に繰り返すことができます。MAX

7000AデバイスのアーキテクチャではEEPROMセルのプログラムに必要な高電圧がデバイス内部で生成されるようになっており、3.3Vのみの電源でデバイスをプログラムすることができます。ISPが実行されるとき、ボード上で信号間のコンフリクトが発生しないようにするため、各I/Oピンはトライ・ステートとなり、内部で弱くプルアップされます。

MAX7000Aデバイスには高速のプログラミングを可能にする改良されたISPアルゴリズムが採用されています。また、これらのデバイスにはISP_Doneのビットが提供されており、イン・システム・プログラミング中に割り込みが発生した場合でも、安全な動作が確保されます。このISP_Doneは最後にプログラムされるビットとなっており、すべてのI/Oピンはこのビットがプログラムされるまでドライブされることはありません。この機能はEPM7032AE、EPM7064AE、EPM7384AE、EPM7512AEの各デバイスに提供されています。

ISPの機能を活用することによって、デバイスをプログラムする前にボード上に自動機で実装することができるため、製造工程の簡略化が実現できます。MAX 7000Aデバイスのプログラムは、ICT（イン・サーキット・テスト）、エンベデッド・プロセッサ、アルテラのBitBlasterシリアル・ダウンロード・ケーブル、またはByteBlasterおよびByteBlasterMVパラレル・ポート・ダウンロード・ケーブルからデータをダウンロードすることによって行うことができます。デバイスをボード上に実装した後でプログラミングすることで、デバイスのハンドリングによるピン数の多いパッケージ（例えば、QFPパッケージ）のリードを損傷する危険性が解消されます。MAX 7000Aデバイスはシステムの出荷後でも再プログラムすることができるため、ソフトウェアまたはモデムを通じて新しいプログラミング・データを送信してシステムのアップグレードをフィールドで行うこともできます。

イン・システム・プログラミングは、固定またはアダプティブなアルゴリズムのいずれかを使用して行うことができます。アダプティブなアルゴリズムでは、デバイスから情報を読み取り、そのデバイスをもっとも短時間でプログラミングできるプログラミング・ステップが適用されます。イン・サーキット・テストによっては、このアダプティブなアルゴリズムをサポートすることができない機種があるため、アルテラは固定のアルゴリズムでテストされたデバイスを提供しています。この固定のアルゴリズムでテストされたデバイスのオーダ・コードの末尾には "F" のサフィックスが付き、デバイスの右下のコーナにこの "F" のコードが捺印されています。

外部ハードウェアによるプログラミング

すべてのMAX 7000Aデバイスは、486またはペンティアム・ベースのPCとアルテラのロジック・プログラマ・カード、MPU、および対応するデバイス・アダプタを使ってプログラムすることもできます。MPUはデバイスとアダプタ間の電気的な接触を確保するためのコンティニューイティ・テストを実行します。さらに詳しい情報については、**1998年版データブック**に掲載されている「*Altera Programming Hardware*」のデータシートを参照してください。

MAX+PLUS IIでは、テキストまたは波形エディタを使ってテスト・ベクタを生成することができ、プログラムされたデバイスを生成されたテキストまたは波形フォーマットのベクタでテストすることができます。さらに、デ

ザインを検証する方法として、MAX 7000Aデバイスのファンクション動作とシミュレーション結果との比較を行う方法も提供されています。

Data I/O、BP Microsystems および他のプログラマ・メーカーもアルテラ・デバイスのプログラミングをサポートしています。詳細については**1998年版データブック**に収録されている「*Programming Hardware Manufacturers*」のページ、または各ベンダ発行の資料などをご確認ください。

IEEE 1149.1 (JTAG) バウンダリ・ スキャンの サポート

MAX 7000Aデバイスは、IEEE Std. 1149.1-1990で規定されたJTAG BST回路をサポートしています。表4はMAX 7000AデバイスによってサポートされているJTAGインストラクションを示したものです。各デバイスのJTAG用コントロール・ピンは、このデータシートの29ページから示されているピン配置の表で確認してください。JTAGインタフェースを必要としない場合は、これらのJTAGピンをユーザI/Oピンとして使用することができます。

表4 MAX 7000A がサポートしている JTAG インストラクション	
JTAG インストラクション	内 容
SAMPLE/PRELOAD	動作中のデバイスのピンから信号を取り込んでテストすることができる。また、最初のデータ・パターンをデバイス・ピンに出力させることができる。
EXTEST	出力ピンにテスト・パターンを強制的に与え、入力ピンのデータを取り込んでテスト結果を比較することによって外部回路との接続とボードレベルの配線がテストできる。
BYPASS	TDI ピンとTDOピンの間に1ビットのバイパス・レジスタを配置することによって、デバイスに通常の動作をさせながらBSTデータが指定したデバイスをバイパスし、隣接したデバイスに同期転送されるようにすることができる。
IDCODE	IDCODE レジスタを選択し、TDIとTDOのピン間にこのレジスタを配置することによって、TDO からIDCODE をシリアルに出力させることができる。
USERCODE	32ビットのUSERCODEレジスタを選択し、これをTDIとTDOのピン間に配置することによって、USERCODEがTDOからシリアルにシフト・アウトされるようにすることができる。このインストラクションはEPM7128AとEPM7256Aには適用できない。
UESCODE	これらのインストラクションにより、ユーザの指定したコード (UESCODE) を選択し、このコードがTDOからシリアルにシフト・アウトされるようにすることができる。UESCODEのインストラクションはEPM7128AとEPM7256Aにのみ適用可能。
ISP 関連インストラクション	これらのインストラクションは、JTAG ピンを使用して、MAX 7000A デバイスを BitBlaster、ByteBlaster または ByteBlasterMV のダウンロード・ケーブル、あるいは Jam ファイルまたはシリアル・ペクタ・フォーマット (.svf) ファイルを採用した エンベデッド・プロセッサからプログラムするときに使用される。



JTAG BSTに関する詳細については、当社発行のアプリケーション・ノート、AN 39「*IEEE 1149.1 (JTAG) Boundary-Scan Testing in Altera Devices*」を参照してください。

図7はJTAG信号のタイミング波形を示したものです。

図7 MAX 7000AのJTAG信号タイミング波形

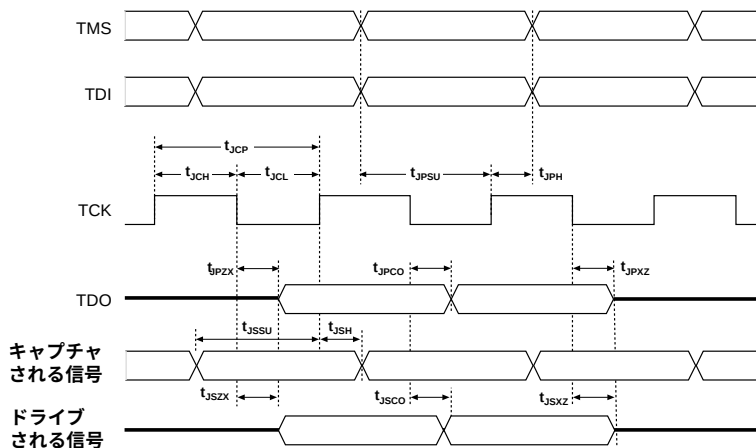


表5はMAX 7000AデバイスのJTAGタイミング・パラメータとその値を示しています。

表5 MAX 7000A デバイスの JTAG タイミング・パラメータ				
シンボル	パラメータ	最小	最大	単位
t_{JCP}	TCK クロックの期間	100		ns
t_{JCH}	TCK の High 時間	50		ns
t_{JCL}	TCK の Low 時間	50		ns
t_{JPSU}	JTAG ポートのセットアップ・タイム	20		ns
t_{JPH}	JTAG ポートのホールド・タイム	45		ns
t_{JPCO}	JTAG ポートの「Clock-to-Output」遅延		25	ns
t_{JPZX}	JTAG ポートのハイ・インピーダンスから有効出力まで		25	ns
t_{JPXZ}	JTAG ポートの有効出力からハイ・インピーダンスまで		25	ns
t_{JSSU}	キャプチャ・レジスタのセットアップ・タイム	20		ns
t_{JSH}	キャプチャ・レジスタのホールド・タイム	45		ns
t_{JSCO}	アップデート・レジスタの「Clock-to-Output」遅延		25	ns
t_{JSZX}	アップデート・レジスタのハイ・インピーダンスから有効出力まで		25	ns
t_{JSXZ}	アップデート・レジスタの有効出力からハイ・インピーダンスまで		25	ns

プログラマブルな スピード／パワー・ コントロール

MAX 7000Aデバイスには、デバイス全体またはユーザが指定した特定の信号パスをロー・パワー・モードで動作させる機能が提供されています。ほとんどのロジック・アプリケーションでは最高周波数で動作する必要のあるゲートは全体のごく一部となるため、この機能を使用して、デバイス全体の消費電力を50%以上も低減することができます。

MAX 7000Aデバイス内の各マクロセルは、高速モードまたはロー・パワー・モードのいずれかに個別に設定できるようになっています。これにより、デザイン内でスピードが要求される部分のみを高速で動作させ、他の部分をロー・パワーで動作させることができます。ロー・パワーで動作するマクロセルでは、 t_{LAD} 、 t_{LAG} 、 t_{IC} 、 t_{ACL} 、 t_{EN} 、 t_{SEXP} のパラメータが、わずかなタイミング遅延分(t_{LPA})だけ増加します。

出力のコンフィ ギュレーション

MAX 7000Aデバイスの出力は多様なシステム・レベルの機能に適合させることができます。

MultiVolt I/O インタフェース

MAX 7000Aデバイスの出力はMultiVolt I/Oインタフェース機能をサポートしており、電源電圧の異なるシステムと接続することができます。すべてのパッケージのMAX 7000Aデバイスでは、2.5V、3.3Vまたは5.0VのI/O動作が可能となっています。これらのデバイスは、内部ロジックと入力バッファ用の電源ピン (VCCINT) と、I/Oの出力ドライバ用の電源ピン (VCCIO) の2種類のV_{CC}ピンを持っています。

VCCIOピンはデザインの要求に応じて2.5Vあるいは3.3Vのいずれかの電源に接続することができます。VCCIOを2.5Vの電源に接続した場合には出力レベルが2.5Vのシステムと互換性を持つようになります。VCCIOを3.3Vの電源に接続した場合には3.3Vのシステムとの互換性を持つようになります。VCCIOが3.3Vのときの出力のHighレベルは、3.3Vまたは5.0Vのシステムとの互換性を提供します。3.0V未満のV_{CCIO}での動作では、タイミング遅延が通常の t_{OD1} よりも大きい t_{OD2} の値となります。入力は常に2.5V、3.3V、または5.0Vの信号でドライブ可能となっています。

表6は、MAX 7000AデバイスにおけるMultiVolt I/O機能のサポート範囲を示したものです。

表6 MAX 7000A の MultiVolt I/O サポート						
V _{CCIO} 電圧	入力信号 (V)			出力信号 (V)		
	2.5	3.3	5.0	2.5	3.3	5.0
2.5	✓	✓	✓	✓		
3.3	✓	✓	✓		✓	✓

オープン・ドレイン出力オプション

MAX 7000Aデバイスには、I/Oピンにオープン・ドレイン出力（オープン・コレクタ出力と等価）のオプションが提供されています。オープン・ドレイン出力を使用することによって、システム・レベルのコントロール信号（インタラプト信号やライト・イネーブル信号など）を複数のデバイスで使用できるようになります。また、これを使用して追加のワイヤード-ORのブレーンを構成することもできます。

スルー・レート・コントロール

MAX 7000Aデバイスの各I/Oピンの出力バッファには出力のスルー・レート・コントロール機能が提供されており、各出力バッファをロー・ノイズの動作モード、または高速性能の動作モードのいずれかに設定することができます。高速のスルー・レートでは信号が非常に高速な遷移で出力されますが、システム内でより多くのノイズが発生する可能性があります。低速のスルー・レートでは、4~5nsの追加遅延が発生しますが、システムのノイズが低減されます。MAX 7000Aデバイスでは、コンフィギュレーション・セルをオフに設定すると、ロー・ノイズとなる低速のスルー・レートが選択されます。MAX 7000Aデバイスでは、各I/Oピンのスルー・レート特性を個別にEEPROMのビットに設定することができますため、各ピンごとにスルー・レートを設定することができます。このスルー・レート・コントロール機能は出力信号の立ち上がりと立ち下がり時間の双方に影響を及ぼします。

デザインのセキュリティ

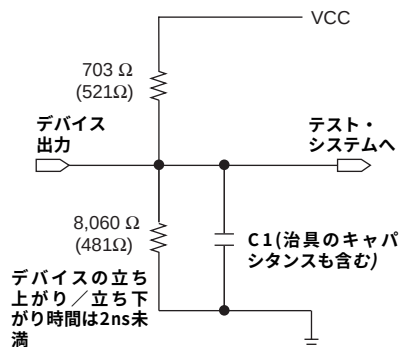
すべてのMAX 7000Aデバイスには、デバイス内部にプログラムされたデータへのアクセスをコントロールすることができるプログラマブルなセキュリティ・ビットが組み込まれています。このビットがプログラムされると、デバイス内に実現されているデザインの内容をコピーしたり、外部に読み出すことができなくなります。この機能を使用することによって、EEPROMセルにプログラムされたデータを見ることが不可能になり、ハイレベルな設計上のセキュリティが提供されます。デバイスが再プログラムされたときにのみ、この機能をコントロールするセキュリティ・ビットが他のすべてのプログラム・データと同様にリセットされます。

デバイスのテスト

MAX 7000Aデバイスに対しては完全な機能テストが行われており、その動作が保証されています。それぞれのプログラマブルなEEPROMビットとすべての内部ロジック・エレメントは完全にテストされ、100%のプログラミング・イールドが保証されています。ACテストは図8と等価な測定条件で行われています。テストには生産フローの初期の工程から複数のテスト・パターンが使用され、その後に消去されるようになっています。

図8 MAX 7000AのACテスト条件

電源のトランジェントがAC特性の測定に影響を及ぼすことがあります。正確な測定を行うため、複数の出力を同時に変化させることは避けてください。スレッショルドのテストはACの測定条件下では行わないでください。デバイスの出力が負荷のキャパシタンスをディスチャージするとき、大振幅で高速なグラウンド電流のトランジェントが発生します。これらのトランジェントがグラウンド・ピンとテスト・システムのグラウンドとの間に存在する寄生インダクタンスに流れると、ノイズ・マージンが著しく低下します。()内の数字は2.5V動作の場合の抵抗値です。



動作条件

以下の表はMAX 7000Aデバイスの絶対最大定格、推奨動作条件、DC特性、およびキャパシタンスの規格を示したものです。

MAX 7000A デバイスの絶対最大定格 注(1)

シンボル	パラメータ	条件	最小	最大	単位
V_{CC}	供給電圧	GND に対して 注(2)	-2.0	4.6	V
V_I	DC 入力電圧		-2.0	5.7	V
I_{OUT}	ピンあたりの DC 出力電流		-25	25	mA
T_{STG}	保存温度	バイアスなし	-65	150	°C
T_A	周囲温度	バイアス時	-65	135	°C
T_J	接合温度	FineLine BGA、PQFP、TQFP パッケージ、バイアス時		135	°C

MAX 7000A デバイスの推奨動作条件

シンボル	パラメータ	条件	最小	最大	単位
V_{CCINT}	内部ロジックおよび入力バッファ用供給電圧	注(3)	3.0	3.6	V
V_{CCIO}	3.3V動作の出力ドライバ供給電圧	注(3)	3.0	3.6	V
	2.5V動作の出力ドライバ供給電圧	注(3)	2.3	2.7	V
V_{CCISP}	ISP 時の供給電圧		3.0	3.6	V
V_I	入力電圧	注(4)	0	5.3	V
V_O	出力電圧		0	V_{CCIO}	V
T_A	周囲温度	一般用	0	70	°C
		工業用	-40	85	°C
T_J	接合温度	一般用	0	90	°C
		工業用	-40	105	°C
t_R	入力立ち上がり時間			40	ns
t_F	入力立ち下がり時間			40	ns

MAX 7000A デバイスの DC 特性 注(5)

シンボル	パラメータ	条件	最小	最大	単位
V_{IH}	High レベル入力電圧		1.7	5.3	V
V_{IL}	Low レベル入力電圧		-0.3	0.8	V
V_{OH}	3.3V High レベル TTL 出力電圧	$I_{OH} = -4 \text{ mA DC}$, $V_{CCIO} = 3.00 \text{ V}$ 注(6)	2.4		V
	3.3V High レベル CMOS 出力電圧	$I_{OH} = -0.1 \text{ mA DC}$, $V_{CCIO} = 3.00 \text{ V}$ 注(6)	$V_{CCIO} - 0.2$		V
	2.5V High レベル出力電圧	$I_{OH} = -100 \mu\text{A DC}$, $V_{CCIO} = 2.30 \text{ V}$ 注(6)	2.1		V
		$I_{OH} = -1 \text{ mA DC}$, $V_{CCIO} = 2.30 \text{ V}$ 注(6)	2.0		V
		$I_{OH} = -2 \text{ mA DC}$, $V_{CCIO} = 2.30 \text{ V}$ 注(6)	1.7		V
V_{OL}	3.3V Low レベル TTL 出力電圧	$I_{OL} = 4 \text{ mA DC}$, $V_{CCIO} = 3.00 \text{ V}$ 注(7)		0.45	V
	3.3V Low レベル CMOS 出力電圧	$I_{OL} = 0.1 \text{ mA DC}$, $V_{CCIO} = 3.00 \text{ V}$ 注(7)		0.2	V
	2.5V Low レベル出力電圧	$I_{OL} = 100 \mu\text{A DC}$, $V_{CCIO} = 2.30 \text{ V}$ 注(7)		0.2	V
		$I_{OL} = 1 \text{ mA DC}$, $V_{CCIO} = 2.30 \text{ V}$ 注(7)		0.4	V
		$I_{OL} = 2 \text{ mA DC}$, $V_{CCIO} = 2.30 \text{ V}$ 注(7)		0.7	V
I_I	入力リーク電流	$V_I = V_{CCINT}$ or ground	-10	10	μA
I_{OZ}	トライ・ステート出力のオフ・ステート電流	$V_O = V_{CCINT}$ or ground	-10	10	μA
R_{ISP}	イン・システム・プログラミング時の I/O ピン・プルアップ抵抗	$V_{CCIO} = 3.0 \text{ V}$ 注(8)	20	50	$\text{k}\Omega$
		$V_{CCIO} = 2.5 \text{ V}$ 注(8)	30	80	$\text{k}\Omega$

MAX 7000A デバイスのキャパシタンス 注(9)

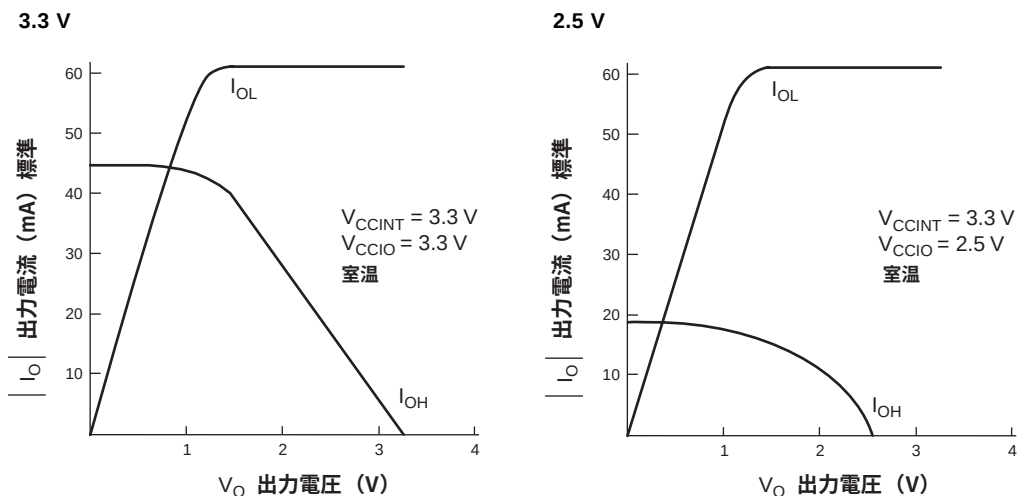
シンボル	パラメータ	条件	最小	最大	単位
C_{IN}	入力ピンのキャパシタンス	$V_{IN} = 0\text{ V}$, $f = 1.0\text{ MHz}$		8	pF
$C_{I/O}$	I/O ピンのキャパシタンス	$V_{OUT} = 0\text{ V}$, $f = 1.0\text{ MHz}$		8	pF

表中の注：

- (1) 絶対最大定格については、1998年版データブックに掲載されている「*Operating Requirements for Altera Devices*」を参照してください。
- (2) DC入力の最小値は -0.3 V です。過渡状態の期間、無負荷の条件で 20 ns 以下の幅であれば、入力が -2.0 V までアンダシュート、または 5.3 V までオーバシュートしても構いません。
- (3) V_{CC} の上昇率は一定である必要があります。
- (4) 入力専用ピン、I/Oピン、JTAGピンを含むすべてのピンを V_{CCINT} および V_{CCIO} の投入前にドライブすることが可能です。
- (5) これらの値は19ページの「MAX 7000Aデバイスの推奨動作条件」の下で規定されています。
- (6) I_{OH} のパラメータはHighレベルTTLまたはCMOS出力電流として参照されます。
- (7) I_{OL} のパラメータはLowレベルTTLまたはCMOS出力電流として参照されます。
- (8) MAX 7000Aデバイスには、デバイスがイン・システムでプログラミングされるときに、このブルアップ抵抗が存在します。MAX 7000AEデバイスでは、デバイスがイン・システムでプログラミングされるとき、およびデバイスがプログラミングされていないときに、このブルアップ抵抗が存在します。
- (9) キャパシタンスは 25°C で測定したもので、サンプルテストのみです。OE1ピン（プログラミング中、高電圧となるピン）は最大 20 pF のキャパシタンスを持っています。

図9はMAX 7000Aデバイスの標準的な出力ドライブ特性を示したものです。

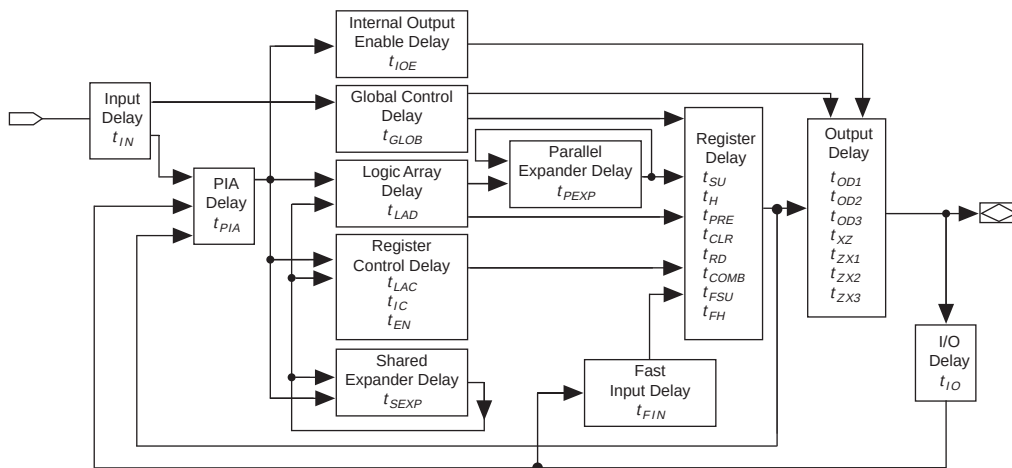
図9 MAX 7000Aデバイスの出力ドライブ特性



タイミング・モデル

MAX 7000Aデバイスのタイミングは、MAX+PLUS IIソフトウェア、または多くの業界標準のEDAシミュレータとタイミング・アナライザ、あるいは図10に示すタイミング・モデルを使って解析することができます。MAX 7000Aデバイスの内部遅延は予測可能となっているため、ユーザはあらゆるデザインのワースト・ケース・タイミングを決定することができます。MAX+PLUS IIソフトウェアは、タイミング・シミュレーション、指定されたポイント間の遅延時間予測、そしてデバイス全体の性能を評価するための詳細なタイミング解析の機能を提供しています。

図10 MAX 7000Aデバイスのタイミング・モデル



任意の信号パスのタイミング特性は、これらのタイミング・パラメータと各デバイスごとに規定されているこれらの値から計算することができます。ピン間のタイミング遅延を表している外部タイミング・パラメータは、複数の内部タイミング・パラメータを累積することによって算出できます。図11は内部および外部の遅延パラメータ間のタイミング関係を示したものです。

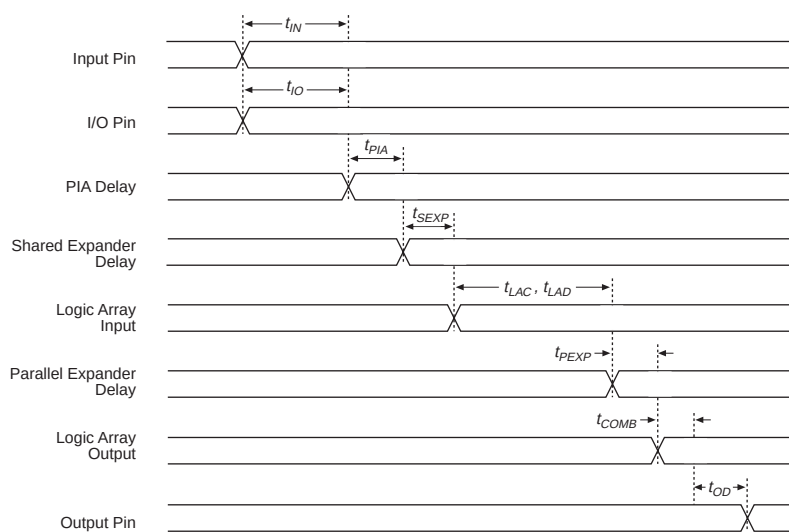


MAX 7000Aデバイスのタイミングについての詳細は、**1998年版データブック**にも掲載されているアプリケーション・ノート AN 94「Understanding MAX 7000 Timing」（日本語版「MAX 7000のタイミング」）を参照してください。

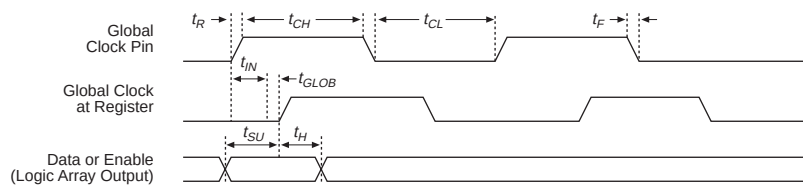
図11 MAX 7000Aデバイスのスイッチング波形

t_R と t_F は $2ns$ 未満
ロジック High の入力は
 $3.0V$ 、Low は $0V$ 。すべての
タイミング特性は $1.5V$
で測定される。

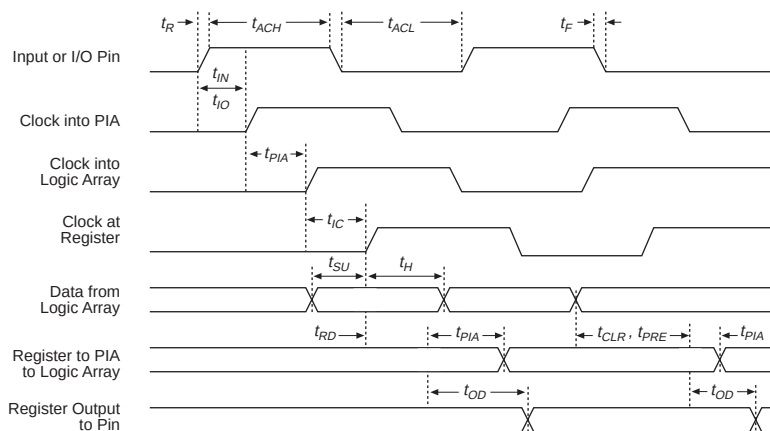
組み合わせ回路モード



グローバル・クロック・モード



アレイ・クロック・モード



EPM7128AデバイスのAC特性 注(1)

EPM7128A 外部タイミング・パラメータ			スピード・グレード								
			- 6		- 7		- 10		- 12		
シンボル	パラメータ	条件	最小	最大	最小	最大	最小	最大	最小	最大	単位
t _{PD1}	入力からレジスタなしの出力までの遅延	C1 = 35 pF 注(2)		6		7.5		10		12	ns
t _{PD2}	I/O ピンからレジスタなし出力までの遅延	C1 = 35 pF 注(2)		6		7.5		10		12	ns
t _{SU}	グローバル・クロックのセットアップ時間	注(2)	4		4.9		6.6		7.8		ns
t _H	グローバル・クロックのホールド時間	注(2)	0		0		0		0		ns
t _{FSU}	高速入力パスからのグローバル・クロック・セットアップ時間		2.5		3		3		3		ns
t _{FH}	高速入力パスからのグローバル・クロック・ホールド時間		0		0		0		0		ns
t _{CO1}	グローバル・クロックから出力までの遅延	C1 = 35 pF	1	3.5	1	4.5	1	5.9	1	7.1	ns
t _{CH}	グローバル・クロックの High レベル時間		3		3		4		5		ns
t _{CL}	グローバル・クロックの Low レベル時間		3		3		4		5		ns
t _{ASU}	アレイ・クロックのセットアップ時間	注(2)	1.2		1.6		2.1		2.4		ns
t _{AH}	アレイ・クロックのホールド時間	注(2)	1.5		2.1		3.4		4.4		ns
t _{ACO1}	アレイ・クロックから出力までの遅延	C1 = 35 pF 注(2)		6.3		7.8		10.4		12.5	ns
t _{ACH}	アレイ・クロックの High レベル時間		3		3		4		5		ns
t _{ACL}	アレイ・クロックの Low レベル時間		3		3		4		5		ns
t _{CNT}	グローバル・クロック最小期間	注(2)		6.8		8.4		11.2		13.3	ns
f _{CNT}	内部グローバル・クロック最高周波数	注(2)、(4)	147.1		119.0		89.3		75.2		MHz
t _{ACNT}	アレイ・クロック最小期間	注(2)		6.8		8.4		11.2		13.3	ns
f _{ACNT}	内部アレイ・クロック最高周波数	注(2)、(4)	147.1		119.0		89.3		75.2		MHz
f _{MAX}	最高クロック周波数	注(5)	166.7		166.7		125.0		100.0		MHz

EPM7128A 内部タイミング・パラメータ			スピード・グレード								
			- 6		- 7		- 10		- 12		
シンボル	パラメータ	条件	最小	最大	最小	最大	最小	最大	最小	最大	単位
t_{IN}	入力パッドとバッファ遅延			0.3		0.4		0.6		0.7	ns
t_{IO}	I/O入力パッドとバッファ遅延			0.3		0.4		0.6		0.7	ns
t_{FIN}	高速入力バス遅延			2.8		3.3		3.7		4.1	ns
t_{SEXP}	シェアド・エキスパンダ遅延			3		3.6		4.9		5.9	ns
t_{PEXP}	パラレル・エキスパンダ遅延			0.7		0.8		1.1		1.3	ns
t_{LAD}	ロジック・アレイ遅延			3.1		3.7		5		6	ns
t_{LAC}	ロジック・コントロールアレイ遅延			2.9		3.4		4.6		5.6	ns
t_{IOE}	出力イネーブル内部遅延			0		0		0		0	ns
t_{OD1}	出力バッファおよびパッド遅延 Slow slew rate = off $V_{CCIO} = 3.3V$	$C1 = 35\text{ pF}$ 注(1)		0.4		0.6		0.7		0.9	ns
t_{OD2}	出力バッファおよびパッド遅延 Slow slew rate = off $V_{CCIO} = 2.5V$	$C1 = 35\text{ pF}$ 注(6)		0.9		1.1		1.2		1.4	ns
t_{OD3}	出力バッファおよびパッド遅延 Slow slew rate = on $V_{CCIO} = 2.5V$ or $3.3V$	$C1 = 35\text{ pF}$		5.4		5.6		5.7		5.9	ns
t_{ZX1}	出力バッファ、イネーブル遅延 Slow slew rate = off $V_{CCIO} = 3.3V$	$C1 = 35\text{ pF}$ 注(1)		4		4		5		5	ns
t_{ZX2}	出力バッファ、イネーブル遅延 Slow slew rate = off $V_{CCIO} = 3.3V$	$C1 = 35\text{ pF}$ 注(1)		4.5		4.5		5.5		5.5	ns
t_{ZX3}	出力バッファ、イネーブル遅延 Slow slew rate = on $V_{CCIO} = 3.3V$	$C1 = 35\text{ pF}$ 注(1)		9		9		10		10	ns
t_{XZ}	出力バッファ、イネーブル遅延 Slow slew rate = off $V_{CCIO} = 2.5V$	$C1 = 35\text{ pF}$ 注(6)		4		4		5		5	ns
t_{SU}	レジスタ・セットアップ時間		1		1.3		1.7		2		ns
t_H	レジスタ・ホールド時間		1.7		2.4		3.8		4.8		ns
t_{FSU}	高速入力バスのレジスタ・セットアップ時間		0.8		1.1		1.1		1.1		ns
t_{FH}	高速入力バスのレジスタ・ホールド時間		1.7		1.9		1.9		1.9		ns
t_{RD}	レジスタ遅延			1.7		2.1		2.8		3.3	ns
t_{COMB}	組み合わせ出力の遅延			1.2		1.5		2		2.4	ns
t_{IC}	アレイ・クロック遅延			2.9		3.4		4.6		5.6	ns
t_{EN}	レジスタ・イネーブル時間			2.9		3.4		4.6		5.6	ns
t_{GLOB}	グローバル・コントロール遅延			1.1		1.4		1.8		2.2	ns
t_{PRE}	レジスタ・プリセット時間			3.1		3.9		5.2		6.2	ns
t_{CLR}	レジスタ・クリア時間			3.1		3.9		5.2		6.2	ns
t_{PIA}	PIA 遅延	注(2)		1		1.3		1.7		2	ns
t_{LPA}	ロー・パワー・モード追加遅延	注(7)		11		10		10		10	ns

EPM7256AデバイスのAC特性 注(1)

EPM7256A 外部タイミング・パラメータ			スピード・グレード						
			- 7		- 10		- 12		
シンボル	パラメータ	条件	最小	最大	最小	最大	最小	最大	単位
t _{PD1}	入力からレジスタなし出力までの遅延	C1 = 35 pF 注(2)		7.5		10		12	ns
t _{PD2}	I/Oピンからレジスタなし出力までの遅延	C1 = 35 pF 注(2)		7.5		10		12	ns
t _{SU}	グローバル・クロックのセットアップ時間	注(2)	4.9		6.6		7.8		ns
t _H	グローバル・クロックのホールド時間	注(2)	0		0		0		ns
t _{FSU}	高速入力パスからのグローバル・クロック・セットアップ時間		3		3		3		ns
t _{FH}	高速入力パスからのグローバル・クロック・ホールド時間		0		0		0		ns
t _{CO1}	グローバル・クロックから出力までの遅延	C1 = 35 pF	1	4.5	1	5.9	1	7.1	ns
t _{CH}	グローバル・クロックの High レベル時間		3		4		5		ns
t _{CL}	グローバル・クロックの Low レベル時間		3		4		5		ns
t _{ASU}	アレイ・クロックのセットアップ時間	注(2)	1.6		2.1		2.4		ns
t _{AH}	アレイ・クロックのホールド時間	注(2)	2.1		3.4		4.4		ns
t _{ACO1}	アレイ・クロックから出力の遅延	C1 = 35 pF 注(2)		7.8		10.4		12.5	ns
t _{ACH}	アレイ・クロックの High レベル時間		3		4		5		ns
t _{ACL}	アレイ・クロックの Low レベル時間		3		4		5		ns
t _{CNT}	グローバル・クロック最小期間	注(2)		8.4		11.2		13.3	ns
f _{CNT}	内部グローバル・クロック最高周波数	注(2)、(4)	119.0		89.3		75.2		MHz
t _{ACNT}	アレイ・クロック最小期間	注(2)		8.4		11.2		13.3	ns
f _{ACNT}	内部アレイ・クロック最高周波数	注(2)、(4)	119.0		89.3		75.2		MHz
f _{MAX}	最高クロック周波数	注(2)、(5)	166.7		125.0		100.0		MHz

EPM7256A 内部タイミング・パラメータ			スピード・グレード						
			- 7		- 10		- 12		
シンボル	パラメータ	条件	最小	最大	最小	最大	最小	最大	単位
t_{IN}	入力パッドとバッファ遅延			0.4		0.6		0.7	ns
t_{IO}	I/O 入力パッドとバッファ遅延			0.4		0.6		0.7	ns
t_{FIN}	高速入力バス遅延			3.3		3.7		4.1	ns
t_{SEXP}	シェアド・エキスパンダ遅延			3.6		4.9		5.9	ns
t_{PEXP}	パラレル・エキスパンダ遅延			0.8		1.1		1.3	ns
t_{LAD}	ロジック・アレイ遅延			3.7		5		6	ns
t_{LAC}	ロジック・コントロール・アレイ遅延			3.4		4.6		5.6	ns
t_{IOE}	出力イネーブル内部遅延			0		0		0	ns
t_{OD1}	出力バッファおよびパッド遅延 Slow slew rate = off $V_{CCIO} = 3.3V$	$C1 = 35\text{ pF}$ 注(1)		0.6		0.7		0.9	ns
t_{OD2}	出力バッファおよびパッド遅延 Slow slew rate = off $V_{CCIO} = 2.5V$	$C1 = 35\text{ pF}$ 注(6)		1.1		1.2		1.4	ns
t_{OD3}	出力バッファおよびパッド遅延 Slow slew rate = on $V_{CCIO} = 2.5V\text{ or } 3.3V$	$C1 = 35\text{ pF}$		5.6		5.7		5.9	ns
t_{ZX1}	出力バッファ、イネーブル遅延 Slow slew rate = off $V_{CCIO} = 3.3V$	$C1 = 35\text{ pF}$ 注(1)		4		5		5	ns
t_{ZX2}	出力バッファ、イネーブル遅延 Slow slew rate = off $V_{CCIO} = 2.5V$	$C1 = 35\text{ pF}$ 注(6)		4.5		5.5		5.5	ns
t_{ZX3}	出力バッファ、イネーブル遅延 Slow slew rate = on $V_{CCIO} = 2.5V\text{ or } 3.3V$	$C1 = 35\text{ pF}$		9		10		10	ns
t_{XZ}	出力バッファ、ディセーブル遅延	$C1 = 5\text{ pF}$		4		5		5	ns
t_{SU}	レジスタ・セットアップ時間		1.3		1.7		2		ns
t_H	レジスタ・ホールド時間		2.4		3.8		4.8		ns
t_{FSU}	高速入力バスのレジスタ・セットアップ時間		1.1		1.1		1.1		ns
t_{FH}	高速入力バスのレジスタ・ホールド時間		1.9		1.9		1.9		ns
t_{RD}	レジスタ遅延			2.1		2.8		3.3	ns
t_{COMB}	組み合わせ出力の遅延			1.5		2		2.4	ns
t_{IC}	アレイ・クロック遅延			3.4		4.6		5.6	ns
t_{EN}	レジスタ・イネーブル時間			3.4		4.6		5.6	ns
t_{GLOB}	グローバル・コントロール遅延			1.4		1.8		2.2	ns
t_{PRE}	レジスタ・プリセット時間			3.9		5.2		6.2	ns
t_{CLR}	レジスタ・クリア時間			3.9		5.2		6.2	ns
t_{PIA}	PIA 遅延	注(2)		1.3		1.7		2	ns
t_{LPA}	ロー・パワー・モード追加遅延	注(7)		10		10		10	ns

表中の注：

- (1) これらの値は19ページの「MAX 7000Aデバイスの推奨動作条件」の下で規定されています。
- (2) -6と-7のスピード・グレードのEPM7128Aおよび-6のスピード・グレードのEPM7256Aに対しては、これらの値がPIAが1LAB（16個のマクロセル）のファンアウトを持つことを条件に規定されています。これらのデバイスがさらに多くのLABのファンアウトを持つ場合は、1LABあたり0.1nsの追加遅延がPIAのタイミング値に加算されます。
- (3) このパラメータはサンプル・テストと幅広い評価テスト結果に基いて算出された参考値です。このパラメータはグローバル・クロックとアレイ・クロックの双方に適用されます。
- (4) 各LABに16ビットのローダブル、イネーブル付き、アップ / ダウン・カウンタを構成して測定したものです。
- (5) f_{MAX} の値はパイプライン化されたときのデータの最高動作周波数です。
- (6) 動作条件は一般用、工業用共に $V_{CCIO} = 2.5V \pm 0.2V$ です。
- (7) ロー・パワー・モードで動作しているマクロセルに対しては、 t_{LAD} , t_{LAG} , t_{IC} , t_{ACL} , t_{EN} , t_{SEXP} のパラメータに t_{LPA} パラメータを加える必要があります。

消費電力

MAX 7000Aデバイスの動作周波数（MHz単位の f_{MAX} ）に対する消費電力（P）は、次の式で計算されます。

$$P = P_{INT} + P_{IO} = I_{CCINT} \times V_{CC} + P_{IO}$$

ここで、 P_{IO} はデバイス出力に接続される負荷の特性とスイッチング周波数によって決定される値であり、**1998年版データブック**に記載されているアプリケーション・ノート AN 74「*Evaluating Power for Altera Devices*」の中に示されているガイドラインを使って計算することができます。

また、上記の式の I_{CCINT} はスイッチング周波数とデザインされたアプリケーションのロジックによって決定される値であり、これは次の式から計算することができます。

$$I_{CCINT} =$$

$$(A \times MC_{TON}) + [B \times (MC_{DEV} - MC_{TON})] + (C \times MC_{USED} \times f_{MAX} \times \log_{LC})$$

この式に使用されている各パラメータは、下記の通りです。

- MC_{TON} = ターボ・ビット（Turbo BitTM）のオプションがオンに設定されているマクロセル数で、これはMAX+PLUS IIのレポート・ファイル（.rpt）で確認することができます。
- MC_{DEV} = デバイス内のマクロセル数
- MC_{USED} = デザイン内で使用されているマクロセルの合計数で、MAX+PLUS IIのレポート・ファイル（.rpt）で確認することができます。
- f_{MAX} = デバイスの最高動作クロック周波数
- $\log_{LC}$ = 各クロックでトグルするロジック・セルの平均的な割合（通常は12.5%）
- A, B, C = 表7に示される定数。

表7 MAX 7000A の I_{CC} の計算式に使用される定数

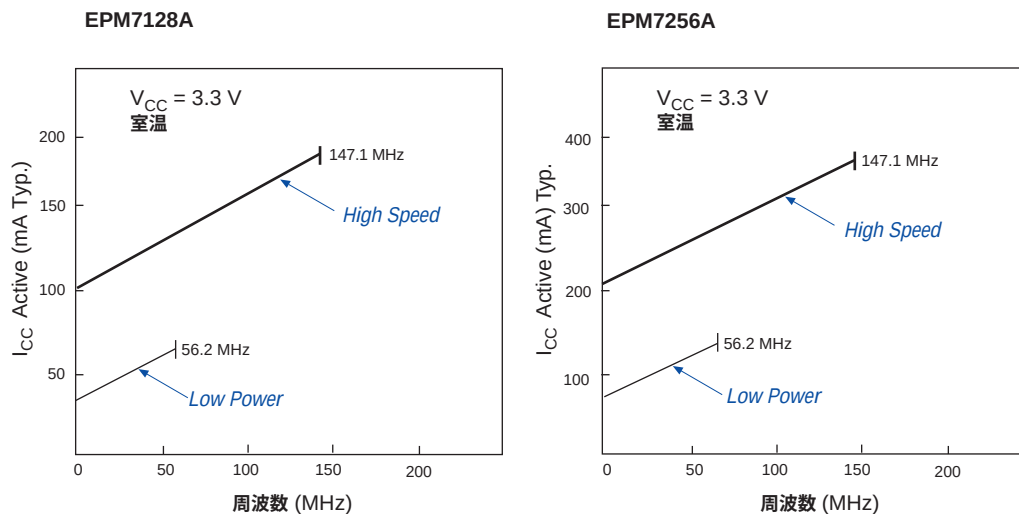
デバイス名	A	B	C
EPM7032AE	注(1)	注(1)	注(1)
EPM7064AE	注(1)	注(1)	注(1)
EPM7128A 注(2)	0.79	0.27	0.035
EPM7256A 注(2)	0.79	0.27	0.035
EPM7384AE	注(1)	注(1)	注(1)
EPM7512AE	注(1)	注(1)	注(1)

注：

- (1) この値については、日本アルテラの応用技術部にお問い合わせください。
 (2) これらのデバイスの値は暫定仕様です。

この計算では各LABに16ビットのローダブル、イネーブル機能付きのアップ / ダウン・カウンタを構成したときの無負荷時の標準的な条件での I_{CC} が推定されます。この計算はデバイスの実際のパターンと周囲の動作条件に影響されるため、実際の I_{CC} の値はデバイスの動作中に確認する必要があります。

図12はMAX 7000Aデバイスの周波数対電源電流の標準的な特性を示したものです。

図12 MAX 7000Aデバイスの動作周波数対 I_{CC} 特性

デバイス・ ピン配置表

表8、表9、表10と表11はMAX 7000Aデバイスの各パッケージごとのピン配置を示したものです。

表8 EPM7128Aの専用ピン					
専用ピン	84-Pin PLCC	100-Pin TQFP	100-Pin FineLine BGA	144-Pin TQFP	256-Pin FineLine BGA
INPUT/GCLK1	83	87	A6	125	D9
INPUT/GCLRn	1	89	B5	127	E8
INPUT/OE1	84	88	B6	126	E9
INPUT/OE2/GCLK2	2	90	A5	128	D8
TDI 注(1)	14	4	A1	4	D4
TMS 注(1)	23	15	F3	20	J6
TCK 注(1)	62	62	F8	89	J11
TDO 注(1)	71	73	A10	104	D13
GNDINT	42, 82	38, 86	D6, G5	52, 57, 124, 129	A8, C9, G9, K8, P9
GNDIO	7, 19, 32, 47, 59, 72	11, 26, 43, 59, 74, 95	C3, D7, E5, F6, G4, H8	3, 13, 17, 33, 59, 64, 85, 105, 135	A3, B10, C2, D14, F6, G10, H8, J9, K7, L11, M3, P6, P10, R2, R3, T1, T15
VCCINT (3.3 V only)	3, 43	39, 91	D5, G6	51, 58, 123, 130	B9, C8, G8, K9, P8
VCCIO (2.5 V or 3.3 V)	13, 26, 38, 53, 66, 78	3, 18, 34, 51, 66, 82	C8, D4, E6, F5, G7, H3	24, 50, 73, 76, 95, 115, 144	B3, B5, C14, E15, F11, G3, G7, G15, H9, J8, K10, L3, L6, M15, P14, T2, T3
No Connect (N.C.)	—	—	—	1, 2, 12, 19, 34, 35, 36, 43, 46, 47, 48, 49, 66, 75, 90, 103, 108, 120, 121, 122	A1, A2, A4, A5, A6, A7, A9, A10, A11, A12, A13, A14, A15, A16, B1, B2, B4, B6, B7, B8, B11, B12, B13, B14, B15, B16, C1, C3, C4, C6, C11, C13, C15, C16, D1, D2, D3, D15, D16, E1, E2, E3, E14, E16, F1, F2, F15, F16, G1, G2, G14, G16, H1, H2, H15, H16, J1, J2, J15, J16, K1, K2, K3, K14, K15, K16, L1, L2, L15, L16, M1, M14, M16, N1, N2, N3, N14, N15, N16, P1, P2, P3, P4, P12, P13, P15, P16, R1, R4, R5, R6, R7, R8, R9, R11, R12, R13, R14, R15, R16, T4, T5, T6, T7, T8, T9, T10, T11, T12, T13, T14, T16
トータル・ユーザI/Oピン数	64	80	80	96	96

注：

- (1) このピンはJTAGポートまたはユーザI/Oピンのいずれかとして使用されます。デバイスがBSTまたはISPを行うためにJTAGポートを使用するようにコンフィギュレーションされている場合は、このピンをユーザI/Oピンとして使用することはできません。

表9 EPM7128A の I/O ピン (1/2)

MC	LAB	84-Pin PLCC	100-Pin TQFP	100-Pin FineLine BGA	144-Pin TQFP	256-Pin FineLine BGA	MC	LAB	84-Pin PLCC	100-Pin TQFP	100-Pin FineLine BGA	144-Pin TQFP	256-Pin FineLine BGA
1	A	–	2	C1	143	F4	17	B	22	14	F4	18	J7
2	A	–	–	–	–	–	18	B	–	–	–	–	–
3	A	12	1	B1	142	E4	19	B	21	13	E2	16	H5
4	A	–	–	–	141	C5	20	B	–	–	–	15	H3
5	A	11	100	B2	140	E5	21	B	20	12	E1	14	H4
6	A	10	99	A2	139	D5	22	B	–	10	E3	11	H6
7	A	–	–	–	–	–	23	B	–	–	–	–	–
8	A	9	98	A3	138	D6	24	B	18	9	E4	10	H7
9	A	–	97	B3	137	E6	25	B	17	8	D2	9	G5
10	A	–	–	–	–	–	26	B	–	–	–	–	–
11	A	8	96	A4	136	D7	27	B	16	7	D1	8	G4
12	A	–	–	–	134	C7	28	B	–	–	–	7	F3
13	A	6	94	B4	133	E7	29	B	15	6	D3	6	G6
14	A	5	93	C4	132	F7	30	B	–	5	C2	5	F5
15	A	–	–	–	–	–	31	B	–	–	–	–	–
16	A	4	92	C5	131	F8	32	B	14 (1)	4 (1)	A1 (1)	4 (1)	D4 (1)
33	C	–	25	K1	32	N4	49	D	41	37	K5	56	N8
34	C	–	–	–	–	–	50	D	–	–	–	–	–
35	C	31	24	J1	31	M4	51	D	40	36	J5	55	M8
36	C	–	–	–	30	M2	52	D	–	–	–	54	P7
37	C	30	23	H1	29	L4	53	D	39	35	H5	53	L8
38	C	29	22	H2	28	L5	54	D	–	33	K4	45	N7
39	C	–	–	–	–	–	55	D	–	–	–	–	–
40	C	28	21	G2	27	K5	56	D	37	32	J4	44	M7
41	C	–	20	G1	26	K4	57	D	36	31	H4	42	L7
42	C	–	–	–	–	–	58	D	–	–	–	–	–
43	C	27	19	G3	25	K6	59	D	35	30	J3	41	M6
44	C	–	–	–	23	J3	60	D	–	–	–	40	P5
45	C	25	17	F2	22	J5	61	D	34	29	K3	39	N6
46	C	24	16	F1	21	J4	62	D	–	28	J2	38	M5
47	C	–	–	–	–	–	63	D	–	–	–	–	–
48	C	23 (1)	15 (1)	F3 (1)	20 (1)	J6 (1)	64	D	33	27	K2	37	N5

表9 EPM7128A の I/O ピン (2/2)

MC	LAB	84-Pin PLCC	100-Pin TQFP	100-Pin FineLine BGA	144-Pin TQFP	256-Pin FineLine BGA	MC	LAB	84-Pin PLCC	100-Pin TQFP	100-Pin FineLine BGA	144-Pin TQFP	256-Pin FineLine BGA
65	E	44	40	K6	60	N9	81	F	–	52	J10	77	M13
66	E	–	–	–	–	–	82	F	–	–	–	–	–
67	E	45	41	J6	61	M9	83	F	54	53	H10	78	L13
68	E	–	–	–	62	R10	84	F	–	–	–	79	L14
69	E	46	42	H6	63	L9	85	F	55	54	H9	80	L12
70	E	–	44	K7	65	N10	86	F	56	55	J9	81	M12
71	E	–	–	–	–	–	87	F	–	–	–	–	–
72	E	48	45	J7	67	M10	88	F	57	56	G9	82	K12
73	E	49	46	H7	68	L10	89	F	–	57	G10	83	K13
74	E	–	–	–	–	–	90	F	–	–	–	–	–
75	E	50	47	J8	69	M11	91	F	58	58	G8	84	K11
76	E	–	–	–	70	P11	92	F	–	–	–	86	J14
77	E	51	48	K8	71	N11	93	F	60	60	F9	87	J12
78	E	–	49	K9	72	N12	94	F	61	61	F10	88	J13
79	E	–	–	–	–	–	95	F	–	–	–	–	–
80	E	52	50	K10	74	N13	96	F	62 (1)	62 (1)	F8 (1)	89 (1)	J11 (1)
97	G	63	63	F7	91	J10	113	H	–	75	C10	106	F13
98	G	–	–	–	–	–	114	H	–	–	–	–	–
99	G	64	64	E9	92	H12	115	H	73	76	B10	107	E13
100	G	–	–	–	93	H14	116	H	–	–	–	109	C12
101	G	65	65	E10	94	H13	117	H	74	77	B9	110	E12
102	G	–	67	E8	96	H11	118	H	75	78	A9	111	D12
103	G	–	–	–	–	–	119	H	–	–	–	–	–
104	G	67	68	E7	97	H10	120	H	76	79	A8	112	D11
105	G	68	69	D9	98	G12	121	H	–	80	B8	113	E11
106	G	–	–	–	–	–	122	H	–	–	–	–	–
107	G	69	70	D10	99	G13	123	H	77	81	A7	114	D10
108	G	–	–	–	100	F14	124	H	–	–	–	116	C10
109	G	70	71	D8	101	G11	125	H	79	83	B7	117	E10
110	G	–	72	C9	102	F12	126	H	80	84	C7	118	F10
111	G	–	–	–	–	–	127	H	–	–	–	–	–
112	G	71 (1)	73 (1)	A10 (1)	104 (1)	D13 (1)	128	H	81	85	C6	119	F9

注：

- (1) このピンはJTAGポートまたはユーザI/Oピンのいずれかとして使用されます。デバイスがBSTまたはISPを行うためにJTAGポートを使用するようにコンフィギュレーションされている場合は、このピンをユーザI/Oピンとして使用することはできません。

表 10 EPM7256A の専用ピン

専用ピン	100-Pin TQFP	144-PinTQFP	208-PinPQFP	256-Pin FineLine BGA
INPUT/GCLK1	87	125	184	D9
INPUT/GCLRn	89	127	182	E8
INPUT/OE1	88	126	183	E9
INPUT/OE2/GCLK2	90	128	181	D8
TDI 注(1)	4	4	176	D4
TMS 注(1)	15	20	127	J6
TCK 注(1)	62	89	30	J11
TDO 注(1)	73	104	189	D13
GNDINT	38, 86	52, 57, 124, 129	75, 82, 180, 185	A8, C9, G9, K8, P9
GNDIO	11, 26, 43, 59, 74, 95	3, 13, 17, 33, 59, 64, 85, 105, 135	14, 32, 50, 72, 94, 116, 134, 152, 174, 200	A3, B10, C2, D14, F6, G10, H8, J9, K7, L11, M3, P6, P10, R2, R3, T1, T15
VCCINT (3.3 V Only)	39, 91	51, 58, 123, 130	74, 83, 179, 186	B9, C8, G8, K9, P8
VCCIO (3.3 V or 2.5 V)	3, 18, 34, 51, 66, 82	24, 50, 73, 76, 95, 115, 144	5, 23, 41, 63, 85, 107, 125, 143, 165, 191	B3, B5, C14, E15, F11, G3, G7, G15, H9, J8, K10, L3, L6, M15, P14, T2, T3
No Connect (N.C.)	—	—	1, 2, 51, 52, 53, 54, 103, 104, 105, 106, 155, 156, 157, 158, 207, 208	A1, A2, A6, A12, A13, A14, A15, A16, B1, B2, B15, B16, C1, C15, C16, D1, D3, D15, D16, G1, G16, H15, H16, J1, K1, L1, L2, M1, M16, N1, N2, N14, N15, N16, P1, P2, P15, P16, R1, R14, R15, R16, T7, T8, T10, T11, T14, T16
トータル・ユーザI/Oピン数	80	116	160	160

注：

- (1) このピンはJTAGポートまたはユーザI/Oピンのいずれかとして使用されます。デバイスがBSTまたはISPを行うためにJTAGポートを使用するようにコンフィギュレーションされている場合は、このピンをユーザI/Oピンとして使用することはできません。

表 11 EPM7256A の I/O ピン (1/4)

MC	LAB	100-Pin TQFP	144-Pin TQFP	208-Pin PQFP	256-Pin FineLine BGA	MC	LAB	100-Pin TQFP	144-Pin TQFP	208-Pin PQFP	256-Pin FineLine BGA
1	A	–	–	153	C3	17	B	–	–	141	F5
2	A	–	–	–	–	18	B	–	–	–	–
3	A	–	2	154	C4	19	B	–	10	142	F2
4	A	–	–	–	–	20	B	–	–	–	–
5	A	–	1	159	E5	21	B	–	9	144	E1
6	A	–	143	160	D5	22	B	–	–	145	F4
7	A	–	–	–	–	23	B	–	–	–	–
8	A	2	–	161	C5	24	B	8	8	146	F3
9	A	1	–	162	B4	25	B	7	7	147	E2
10	A	–	–	–	–	26	B	–	–	–	–
11	A	100	142	163	A4	27	B	6	6	148	D2
12	A	–	–	–	–	28	B	–	–	–	–
13	A	–	141	164	A5	29	B	5	5	149	E3
14	A	99	140	166	D6	30	B	–	–	150	E4
15	A	–	–	–	–	31	B	–	–	–	–
16	A	98	139	167	C6	32	B	4 (1)	4 (1)	151	D4(1)
33	C	–	36	108	N4	49	D	31	44	92	N6
34	C	–	–	–	–	50	D	–	–	–	–
35	C	–	35	109	P3	51	D	30	43	93	T5
36	C	–	–	–	–	52	D	–	–	–	–
37	C	–	34	110	N3	53	D	29	42	95	M6
38	C	–	–	111	M4	54	D	28	41	96	R5
39	C	–	–	–	–	55	D	–	–	–	–
40	C	25	32	112	M2	56	D	–	40	97	M5
41	C	24	31	113	L4	57	D	–	–	98	P5
42	C	–	–	–	–	58	D	–	–	–	–
43	C	23	30	114	L5	59	D	–	39	99	N5
44	C	–	–	–	–	60	D	–	–	–	–
45	C	22	29	115	K6	61	D	–	38	100	T4
46	C	–	–	117	K5	62	D	–	–	101	R4
47	C	–	–	–	–	63	D	–	–	–	–
48	C	21	28	118	K4	64	D	27	37	102	P4

表 11 EPM7256A の I/O ピン (2/4)

MC	LAB	100-Pin TQFP	144-Pin TQFP	208-Pin PQFP	256-Pin FineLine BGA	MC	LAB	100-Pin TQFP	144-Pin TQFP	208-Pin PQFP	256-Pin FineLine BGA
65	E	—	—	168	B6	81	F	—	—	130	H5
66	E	—	—	—	—	82	F	—	—	—	—
67	E	—	—	169	E6	83	F	—	19	131	H1
68	E	—	—	—	—	84	F	—	—	—	—
69	E	—	138	170	F7	85	F	—	18	132	H2
70	E	—	—	171	E7	86	F	—	—	133	H3
71	E	—	—	—	—	87	F	—	—	—	—
72	E	97	137	172	D7	88	F	14	16	135	H4
73	E	96	136	173	C7	89	F	13	15	136	G6
74	E	—	—	—	—	90	F	—	—	—	—
75	E	94	134	175	B7	91	F	12	14	137	G5
76	E	—	—	—	—	92	F	—	—	—	—
77	E	93	133	176 (1)	A7	93	F	10	12	138	G2
78	E	—	132	177	F8	94	F	—	—	139	G4
79	E	—	—	—	—	95	F	—	—	—	—
80	E	92	131	178	B8	96	F	9	11	140	F1
97	G	—	—	119	K3	113	H	37	—	79	M8
98	G	—	—	—	—	114	H	—	—	—	—
99	G	—	27	120	K2	115	H	36	54	80	N8
100	G	—	—	—	—	116	H	—	—	—	—
101	G	—	26	121	J7	117	H	—	53	81	L8
102	G	—	—	122	H7	118	H	35	—	84	R7
103	G	—	—	—	—	119	H	—	—	—	—
104	G	20	25	123	J5	120	H	—	49	86	P7
105	G	19	23	124	J2	121	H	—	48	87	N7
106	G	—	—	—	—	122	H	—	—	—	—
107	G	17	22	126	J3	123	H	—	47	88	M7
108	G	—	—	—	—	124	H	—	—	—	—
109	G	16	21	127 (1)	J4	125	H	33	46	89	L7
110	G	—	—	128	H6	126	H	—	—	90	T6
111	G	—	—	—	—	127	H	—	—	—	—
112	G	15 (1)	20 (1)	129	J6 (1)	128	H	32	45	91	R6

表 11 EPM7256A の I/O ピン (3/4)

MC	LAB	100-Pin TQFP	144-Pin TQFP	208-Pin PQFP	256-Pin FineLine BGA	MC	LAB	100-Pin TQFP	144-Pin TQFP	208-Pin PQFP	256-Pin FineLine BGA
129	I	80	114	197	C11	145	J	63	—	27	J15
130	I	—	—	—	—	146	J	—	—	—	—
131	I	81	116	196	B11	147	J	64	90	26	J16
132	I	—	—	—	—	148	J	—	—	—	—
133	I	—	117	195	A11	149	J	65	91	25	J10
134	I	—	—	194	F10	150	J	—	—	24	H14
135	I	—	—	—	—	151	J	—	—	—	—
136	I	—	118	193	E10	152	J	—	92	22	H13
137	I	—	119	192	A10	153	J	—	93	21	H12
138	I	—	—	—	—	154	J	—	—	—	—
139	I	83	120	190	C10	155	J	67	94	20	H11
140	I	—	—	—	—	156	J	—	—	—	—
141	I	84	121	189 (1)	D10	157	J	—	96	19	H10
142	I	—	—	188	F9	158	J	—	—	18	G11
143	I	—	—	—	—	159	J	—	—	—	—
144	I	85	122	187	A9	160	J	68	97	17	G14
161	K	—	—	38	K11	177	L	—	—	78	R8
162	K	—	—	—	—	178	L	—	—	—	—
163	K	57	82	37	K12	179	L	—	55	77	T9
164	K	—	—	—	—	180	L	—	—	—	—
165	K	—	83	36	K14	181	L	—	56	76	R9
166	K	—	—	35	K13	182	L	—	—	73	N9
167	K	—	—	—	—	183	L	—	—	—	—
168	K	58	84	34	K15	184	L	40	60	71	M9
169	K	—	86	33	K16	185	L	41	61	70	L9
170	K	—	—	—	—	186	L	—	—	—	—
171	K	60	87	31	J13	187	L	42	62	69	R10
172	K	—	—	—	—	188	L	—	—	—	—
173	K	61	88	30 (1)	J14	189	L	44	63	68	N10
174	K	—	—	29	J12	190	L	—	—	67	M10
175	K	—	—	—	—	191	L	—	—	—	—
176	K	62 (1)	89 (1)	28	J11(1)	192	L	45	65	66	L10

表 11 EPM7256A の I/O ピン (4/4)

MC	LAB	100-Pin TQFP	144-Pin TQFP	208-Pin PQFP	256-Pin FineLine BGA	MC	LAB	100-Pin TQFP	144-Pin TQFP	208-Pin PQFP	256-Pin FineLine BGA
193	M	–	106	4	B14	209	N	–	–	16	G13
194	M	–	–	–	–	210	N	–	–	–	–
195	M	75	107	3	C13	211	N	69	98	15	G12
196	M	–	–	–	–	212	N	–	–	–	–
197	M	–	108	206	B13	213	N	–	99	13	F16
198	M	–	–	205	F12	214	N	–	–	12	F15
199	M	–	–	–	–	215	N	–	–	–	–
200	M	–	109	204	E12	216	N	70	100	11	F13
201	M	76	110	203	D12	217	N	–	101	10	F14
202	M	–	–	–	–	218	N	–	–	–	–
203	M	77	111	202	C12	219	N	71	102	9	E16
204	M	–	–	–	–	220	N	–	–	–	–
205	M	–	–	201	B12	221	N	72	103	8	E14
206	M	78	112	199	E11	222	N	–	–	7	E13
207	M	–	–	–	–	223	N	–	–	–	–
208	M	79	113	198	D11	224	N	73 (1)	104 (1)	6	D13(1)
225	O	–	–	49	R13	241	P	46	66	65	R11
226	O	–	–	–	–	242	P	–	–	–	–
227	O	–	74	48	P13	243	P	47	67	64	P11
228	O	–	–	–	–	244	P	–	–	–	–
229	O	–	75	47	N13	245	P	48	68	62	N11
230	O	–	–	46	M14	246	P	49	69	61	M11
231	O	–	–	–	–	247	P	–	–	–	–
232	O	52	77	45	M13	248	P	–	–	60	T12
233	O	53	78	44	L13	249	P	–	70	59	R12
234	O	–	–	–	–	250	P	–	–	–	–
235	O	54	79	43	L14	251	P	–	–	58	M12
236	O	–	–	–	–	252	P	–	–	–	–
237	O	55	80	42	L12	253	P	–	71	57	P12
238	O	–	–	40	L15	254	P	–	–	56	N12
239	O	–	–	–	–	255	P	–	–	–	–
240	O	56	81	39	L16	256	P	50	72	55	T13

注:

- (1) このピンはJTAGポートまたはユーザI/Oピンのいずれかとして使用されます。デバイスがBSTまたはISPを行うためにJTAGポートを使用するようにコンフィギュレーションされている場合は、このピンをユーザI/Oピンとして使用することはできません。

図13から図18はMAX 7000 Aに提供されている各パッケージのピンの位置を示したものです。

図13 84ピン、PLCCパッケージのピン配置図

下記の図は実寸ではありません。

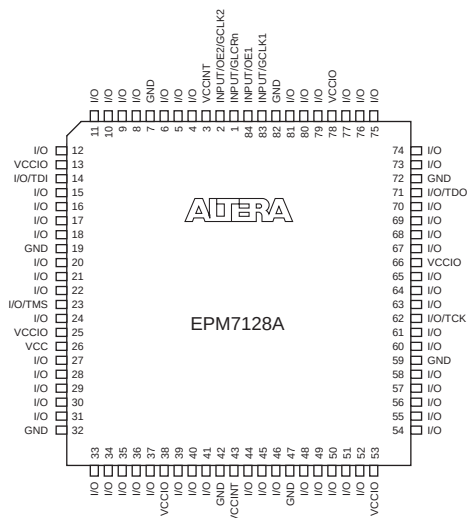


図14 100ピン、TQFPパッケージのピン配置図

下記の図は実寸ではありません。

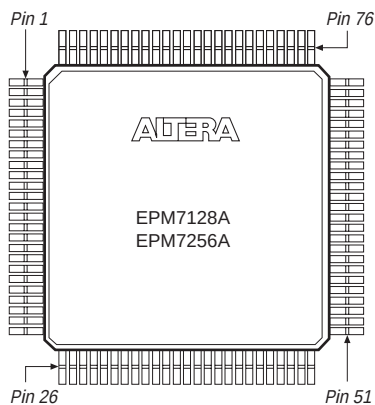


図15 100ピン、FineLine BGAパッケージのピン配置図

下記の図は実寸ではありません。

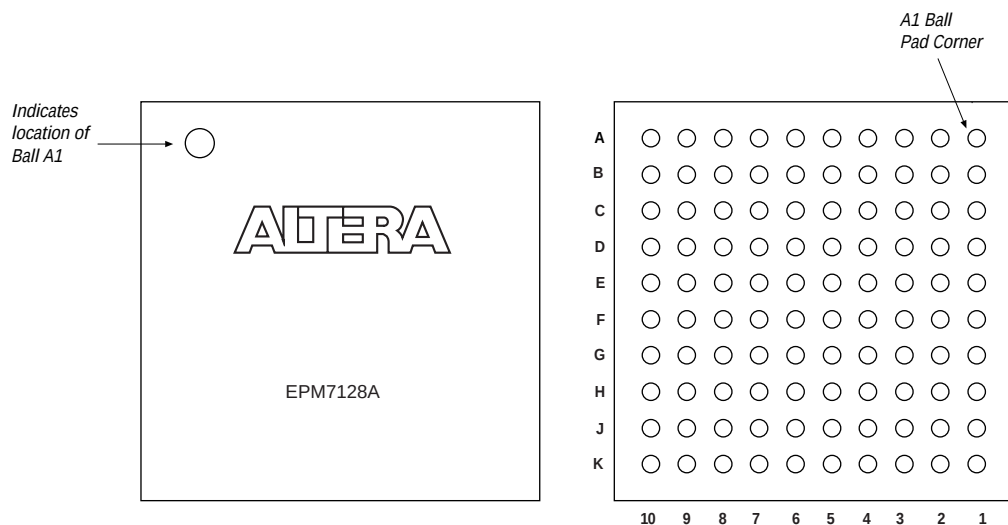


図16 144ピン、TQFPパッケージのピン配置図

下記の図は実寸ではありません。

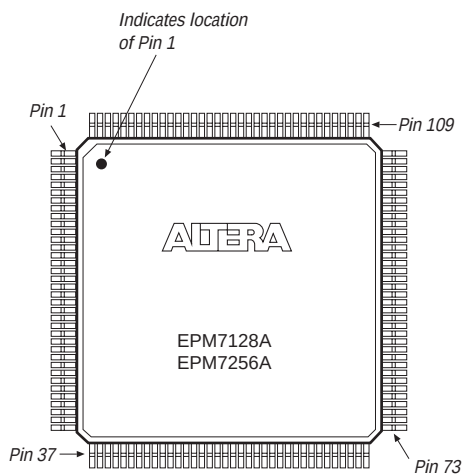


図17 208ピン、PQFPパッケージのピン配置図

下記の図は実寸ではありません。

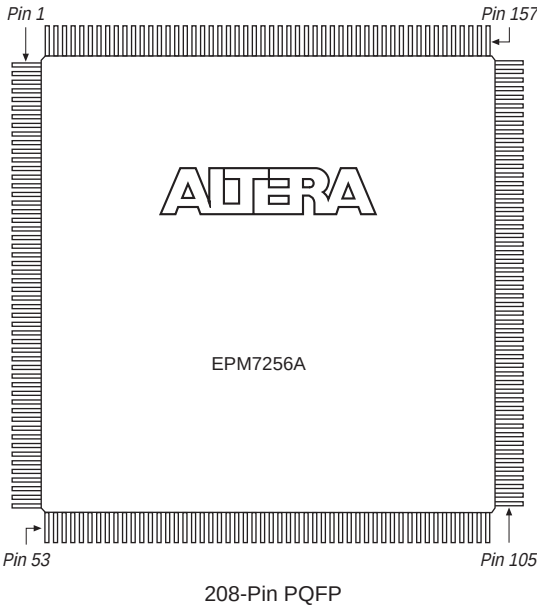


図18 256ピン、FineLine BGAパッケージのピン配置図

下記の図は実寸ではありません。



更新履歴

「MAX 7000A プログラマブル・ロジック・デバイス・ファミリ」のデータシート、バージョン1.10および1.11では下記の内容が以前のバージョンから変更、更新されています。

バージョン1.11での変更点

- 表11のEPM7256A 144ピンTQFPパッケージのピン配置情報を修正。
- 100ピンおよび256ピンFineLine BG Aパッケージのピン配置図を修正。

バージョン1.10での変更点

- イン・システム・プログラマビリティ (ISP) のセクションに "F" サフィックス・デバイスに関する記述を追加。
- EPM7128AとEPM7256Aのタイミング情報を更新。
- EPM7128AとEPM7256Aのピン配置情報を更新。
- EPM7128AとEPM7256Aの消費電力に関する情報を追加。
- ISP機能をサポートしたMAX 7000Aデバイスの名称をMAX 7000Aデバイスに変更。
- 絶対最大定格の表中の電圧レベルを変更。

バージョン1.01での変更点

「MAX 7000A プログラマブル・ロジック・デバイス・ファミリ」のデータシート、バージョン1.01では下記の内容が以前のバージョンから変更、更新されています。

- 特長のセクションで、EPM7128AとEPM7256Aがサポートしていない機能を明確化。
- 特長のセクションで、ピンまたは内部ロジックからドライブされる出力イネーブ信号の本数を訂正。
- イン・システム・プログラマビリティ (ISP) のセクションで、イン・システム・プログラミング時におけるI/Oピンの状態と機能に関する説明を追加。
- 図10の「44ピンデバイスには該当しない」の説明を削除。
- 表8のGNDピンに関する情報を訂正。
- 表8と表9に144ピンTQFPパッケージのピン配置情報を追加。
- データシート内のテキスト、イラスト、スタイルなどの1部を変更。

Altera, BitBlaster, ByteBlaster, ByteBlasterMV, EPM7032AE, EPM7064AE, EPM7128A, EPM7256A, EPM7384AE, EPM7512AE, FineLine BGA, Jam, MAX, MAX 7000, MAX 7000A, MAX 7000AE, MAX+PLUS, MAX+PLUS II, Turbo Bit, MultiVoltはAltera Corporationの米国および該当各国におけるtrademarkまたはservice markです。アルテラはこの資料に記述されている他社製品およびサービス名が該当各社のtrademarkであることを認知します。VerilogはCadence Design System Incのregistered trademarkです。Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

Copyright© 1998 Altera Corporation. All rights reserved.



日本アルテラ株式会社

〒163-0436
東京都新宿区西新宿2-1-1
新宿三井ビル私書箱261号
TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan/>

本社 Altera Corporation

101 Innovation Drive,
San Jose, CA 95134
TEL : (408) 544-7000
<http://www.altera.com>

この資料はアルテラが発行した英文のデータシートを日本語化したものです。アルテラが各デバイスに対して保証する仕様、規格は英文オリジナルの内容です。なお、本資料に記載された内容は予告なく変更される場合があります。最新の情報はアルテラのワールド・ワイド・ウェブ・サイト (<http://www.altera.com>) でご確認ください。