



MAX+PLUS II

プログラマブル・ロジック開発 システム / ソフトウェア

1998年 1月 ver.8

Data Sheet

イントロダク ション

プログラマブル・ロジックの開発環境には幅広いデザインに対する要求を満たすことが求められており、アーキテクチャの異なるデバイスのサポート、マルチ・プラットフォームでの動作、使いやすいインタフェースの提供、そして幅広い豊富な機能を実現している必要があります。さらに、その開発環境は、ユーザがデザインの入力方法を自由に選択できるようになっている必要があります。アルテラのMAX+PLUS[®] II 開発システムは、これらすべての要求を満たす統合化されたプログラマブル・ロジック開発環境を実現しています。

MAX+PLUS IIの開発環境は、非常に高い柔軟性と性能を提供しています。MAX+PLUS IIにはわかりやすいグラフィカル・ユーザ・インタフェースが提供されており、さらにこれらがすぐにアクセス可能となっている完全なオン・ライン・ドキュメントによって補完されているため、MAX+PLUS IIのソフトウェアの使用方法を短時間で簡単に理解することができます。

MAX+PLUS II開発システムは以下のような特長を持っています。

- オープン・インタフェース：アルテラは主要なEDAツール・ベンダとの密接な提携関係を維持しており、これらのEDAベンダが供給している業界標準のデザイン・エントリ・ツール、論理合成ツール、検証ツールとMAX+PLUS IIとのリンクを実現しています。これらEDAツールとのインタフェースはEDIF 2.0.0、および3.0.0のライブラリ、LPM (Library of Parameterized Modules) のバージョン2.1.0、SDF (Standard Delay Format) のバージョン1.0および2.0、VITAL 95、Verilog HDL、VHDL 1987および1993などの業界標準規格に準拠しています。このMAX+PLUS IIの提供するソフトウェア・インタフェースにより、アルテラまたはサード・ベンダの標準EDAツールを使用してデザインの入力を行い、デザインをMAX+PLUS IIのコンパイラでアルテラのデバイスをターゲットとしてコンパイルし、アルテラまたはサード・ベンダのツールを使用してデザインの検証を行うことができます。現在、MAX+PLUS IIのソフトウェアはケイデンス、エグゼンブラ・ロジック、メンター・グラフィックス、シノプシス、シンプリシティ、ビューロジックを含む幅広いEDAベンダのツールとのインタフェースを提供しています。
- アーキテクチャへの非依存性：MAX+PLUS IIのソフトウェアはアルテラのFLEX[®] 10K、FLEX 800Q、FLEX 600Q、MAX[®] 900Q、MAX 700Q、MAX 500Q、Classic[™]の各プログラマブル・ロジック・デバイス・ファミリをサポートしており、特定のデバイス・アーキテクチャに依存しない設計環境を実現した業界唯一のプログラマブル・ロ

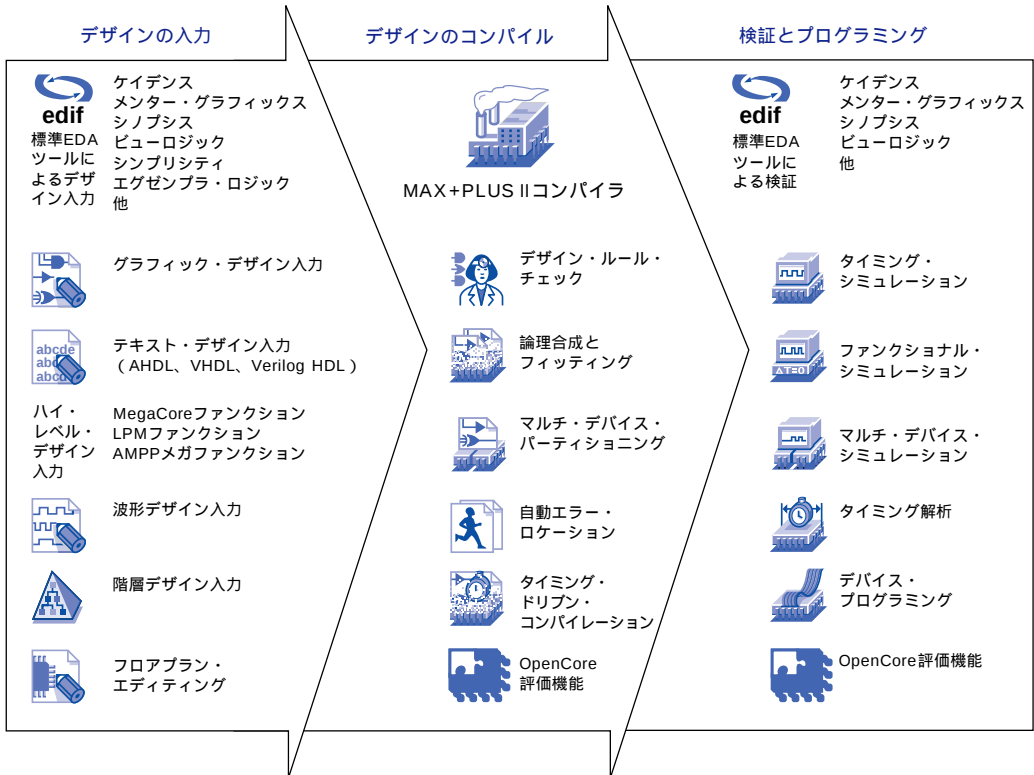
ジック開発システムとなっています。また、MAX+PLUS IIのコンパイラは強力な論理合成機能とデザインを簡単にまた効率的にフィッティングさせるミニマイズ機能を提供しています。

- **マルチ・プラットフォーム**：MAX+PLUS IIのソフトウェアはWindows NT 3.5および4.0、またはWindows 95をOSとする486またはペンティアム・ベースのPC、およびSun SPARCstation HP 9000シリーズ700/800、IBM RISC System 6000の各ワークステーション上で動作します。
- **完全な統合化**：MAX+PLUS IIのソフトウェアは、デザイン入力から処理、検証までの機能をもっとも完全に統合化したプログラマブル開発システムとなっており、デザインのデバッグを短時間で完了させ、開発サイクルの期間を大幅に短縮します。
- **モジュラ・ツール**：MAX+PLUS IIでは、ユーザがこのデータシートに記載されているデザイン入力、コンパイル、検証、デバイス・プログラミングに関する多様なオプションを選択し、開発環境をカスタマイズできるようになっています。また、MAX+PLUS IIには必要に応じて追加の機能を付加することができるようになっているため、初期投資が無駄になるようなこともありません。MAX+PLUS IIは複数のデバイス・ファミリをサポートしており、新しいアーキテクチャのデバイス・ファミリに対するサポートを随時追加できるようになっているため、新たなツールの使用方法を個別のデバイス・ファミリごとに理解する必要がありません。
- **ハードウェア記述言語 (HDL) のサポート**：MAX+PLUS IIのソフトウェアは多様なハードウェア記述言語によるデザインをサポートしており、VHDL、Verilog HDL、またはアルテラ・ハードウェア記述言語 (AHDL: Altera Hardware Description Language) によるデザイン入力が可能です。
- **MegaCore™ ファンクション**：MegaCoreファンクションは複雑なシステム・レベルの機能を検証済みのHDLネットリスト・ファイルとして提供されているもので、これらはFLEX 10K、FLEX 800Q、FLEX 600Q、MAX 9000およびMAX 7000ファミリのデバイスに最適化されています。アルテラが開発したこれらのMegaCoreファンクションを活用することで、ユーザの負担はこれらの標準的に使用されるシステム・レベル・ファンクション周辺のカスタム・ロジックの作成だけに軽減されるため、さらに多くの時間とエネルギーを最終製品の差別化と改良に注ぐことができます。
- **OpenCore™機能**：MAX+PLUS IIは、使用するメガファンクションを正式にライセンスする前にこれらの評価を行えるようにしたOpenCore機能を提供しています。

MAX+PLUS II のデザイン・ プロセス

MAX+PLUS IIのデザイン・プロセスは図1に示されているように、デザインの入力、デザインのコンパイル、デザインの検証、デバイスのプログラミングの4つの段階で構成されます。

図1 MAX+PLUS IIのデザイン・プロセス



デザインの入力

MAX+PLUS IIのソフトウェアは、多様なサード・パーティの業界標準デザイン入力ツールまたはMAX+PLUS IIのデザイン入力ツールで作成された複数のデザイン・ファイルを階層化されたひとつのデザインに統合化することができます。MAX+PLUS IIは、幅広いアプリケーション間の統合化の実現により、各アプリケーション間でデータを自由に転送することができます。例えば、コンパイル、シミュレーション、タイミング解析時に発見されたあらゆるエラーの個所は、オリジナルのデザイン・ファイルまたはフロアプラン・エディタ内でハイライトされます。デザイン (MAX+PLUS IIでは「プロジェクト」と呼ばれる) が2レベル以上の階層で構成されている場合、それらがグラフィックで作成されているか、テキスト、波形によって

作成されたデザインであるかにかかわらず、あるデザイン・ファイルから他の階層のデザイン・ファイルにダイレクトに移動することができます。

MegaCoreファンクション



アルテラのMegaCoreファンクションはPCI (Peripheral Component Interconnect) や他の標準バス・インタフェース、デジタル信号処理 (DSP)、通信などの幅広いアプリケーションをサポートしています。MAX+PLUS II開発システムまたはアルテラのデバイスをサポートしているサード・ベンダのEDAツールを使用して、これらのファンクションをデザイン内でのインスタンス化し、シミュレーションを行うことができます。MAX+PLUS IIのデザイン・フローでは、これらのファンクションをデザイン・ファイル内で簡単にインスタンス化することができます。サード・パーティのEDAツールを使用したデザイン・ファイルでは、ファンクションとポートの名称をハードウェア記述言語 (HDL) で規定することで、MegaCoreファンクションをデザイン・ファイル内でインスタンス化することが可能になります。各EDAツールは、デザインが処理されるときにこれをEDIFのネットリスト・ファイルの中に取り込みます。MAX+PLUS IIのソフトウェアは生成されたこのEDIFのネットリスト・ファイルを選択されたアルテラのデバイス・アーキテクチャに対してコンパイルします。

表 1 は現在供給中となっているアルテラのMegaCoreファンクションを示したものです。

表 1 MegaCoreファンクション		
アプリケーション	説 明	ターゲット・デバイス
PCI	DMA機能を内蔵したPCI バス・ファンクションで、33MHzのゼロ・ウェイト・ステートのバースト・モードをサポート	EPF10K30 EPF10K20
DSP/FFT (Fast Fourier Transform)	完全なパラメータ化を実現した高速フーリエ変換機能	FLEX 10K
ビデオ / カラー・ スペース・コンバータ	RGB2YCrCbおよびYCrCb2RGBのカラー・スペース・コンバータ	FLEX 10K FLEX 8000 FLEX 6000
通信 / エラー・チェック	CRC (Cyclic Redundancy Code) ゼネレータとチェッカ	FLEX 10K FLEX 8000 FLEX 6000
マイクロペリフェラル・ ライブラリ	プログラマブルDMAコントローラ、インタラプト・コントローラ、プログラマブル・コミュニケーション・インタフェース、プログラマブル・ペリフェラル・インタフェース・アダプタ、UART (Universal Asynchronous Receiver/Transmitter)、ACIA (Asynchronous Communications Interface Adapter)	FLEX 10K FLEX 8000 FLEX 6000 MAX 9000 MAX 7000

また、アルテラは、AMPP (Altera Megafunction Partners Program) を通じて開発された幅広いメガファンクションも提供しています。

AMPPSMに参加しているパートナー企業は、アルテラと同じように、高集積なデザインに使用可能なアルテラ・デバイスに最適化されたメガファンクションを開発しています。AMPPメガファンクションとしては、デジタル信号処理（DSP）、通信、バス・インタフェースなどのアプリケーションに対応した50種類以上もの製品が供給されています。



アルテラのMegaCoreファンクション、AMPPメガファンクションの詳細については、1998年版データブックに掲載されている「*Introduction to Megafunctions*」を参照するか、アルテラのワールド・ワイド・ウェブ・サイト、<http://www.altera.com>をアクセスして確認して下さい。

OpenCore機能



MegaCoreファンクションまたはAMPPメガファンクションは、MAX+PLUS IIの提供するOpenCore機能を使用して、ライセンス前にその評価を行うことができます。この購入前に行える評価機能を利用することで、目的のMegaCoreファンクションまたはAMPPメガファンクションをデザイン内でインスタンス化し、シミュレーションを行うことができます。ただし、プログラミング・ファイルやサード・パーティのEDAツールでシミュレーションを行うための出力ファイルは、正式なライセンスの購入後にオーソライゼーション・コードを入手した段階でないと生成できません。



OpenCore機能の詳細については、1998年版データブックに掲載されている「*Introduction to Megafunctions*」のページ、またはアルテラのウェブ・サイトをご覧下さい。

業界標準のLPMファンクション



デザインの作成には、業界標準となっているLPMのバージョン2.1.0で提供されているファンクションも使用できます。LPMファンクションは、RAM、カウンタ、アダー、マルチプレクサなどをスケラブルなロジック・ファンクションとして提供しており、LPMのハイレベルなデザイン情報から最適化されたロジックを実現することができます。MAX+PLUS IIのコンパイラはLPMファンクションを自動的に各デバイス・アーキテクチャに最適化して実現します。LPMファンクションはMAX+PLUS IIのソフトウェアで作成されるテキストまたは回路図ベースのデザインで使用することができ、業界標準のデザイン入力ツールを使用して実現することもできます。



LPMファンクションの詳細については、MAX+PLUS IIのHelp機能を利用して「*LPM Quick Reference Guide*」の項目を参照するか、アルテラのウェブ・サイトをアクセスして確認して下さい。

業界標準EDAツールによるデザイン入力



MAX+PLUS IIのコンパイラはEDIF2 0 0および3 0 0のネットリスト・ファイルを生成できる業界標準のEDAツールとのインタフェースを提供しています。MAX+PLUS IIのコンパイラは、ライブラリ・マッピング・

ファイル (.lmf) を使用して、サード・パーティのEDAツールで入力されたシンボルとピン名をMAX+PLUS IIのロジック・ファンクションにマッピングします。アルテラはケイデンス、メンター・グラフィックス、ビューロジックなどの各社から提供されているツールに対応したLMFをサポートしています。また、VHDL 1987および1993、Verilog HDLを使用したデザインに対するサポートは、ケイデンス、エクゼンプラ・ロジック、メンター・グラフィックス、シノプシス、シンプリシティなどの各社からも提供されています。



各EDAベンダのツールに対する最新のサポート状況については、1998年版データブックの「EDA Software Support」のページを参照して下さい。

回路図入力とシンボル・エディティング

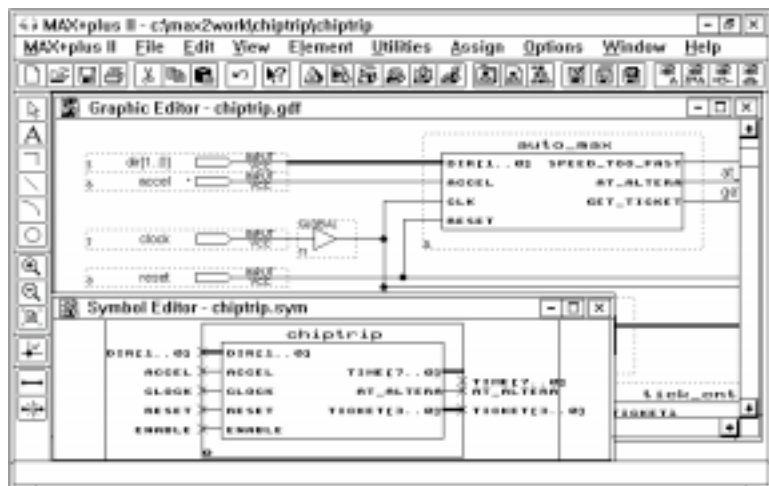


回路図によるデザインの入力は、図2に示すMAX+PLUS IIのグラフィック・エディタを使用して短時間で簡単に行うことができます。このグラフィック・エディタを使用することで、メガファンクション、マクロファンクション、プリミティブ・シンボルを組み合わせたグラフィック・デザイン・ファイル (.gdf) の作成とエディティングが行えます。MAX+PLUS II は300種類の74シリーズ・ファンクション、LPMファンクション、カスタム・ファンクションを提供しています。



MAX+PLUS IIのソフトウェアを使用して、あらゆるデザイン・ファイルに対するシンボルの作成を自動的行うことができます。シンボル・エディタ (図2を参照) を使用して、既存のシンボルをカスタマイズしたり、まったく新しいシンボルを作成することができます。

図2 MAX+PLUS II のグラフィック / シンボル・エディタ



ハードウェア記述言語 (HDL) による入力

MAX+PLUS IIのテキスト・エディタは、VHDL 1987および1993、Verilog HDLまたはAHDLで記述されるHDLの入力とエディティングに最適なツールとなっています。MAX+PLUS IIのコンパイラは、これらいずれかの言語で記述されたデザインのロジックを論理合成し、アルテラのFLEX、MAX、Classicの各デバイス・ファミリのいずれかのデバイスにマッピングすることができます。

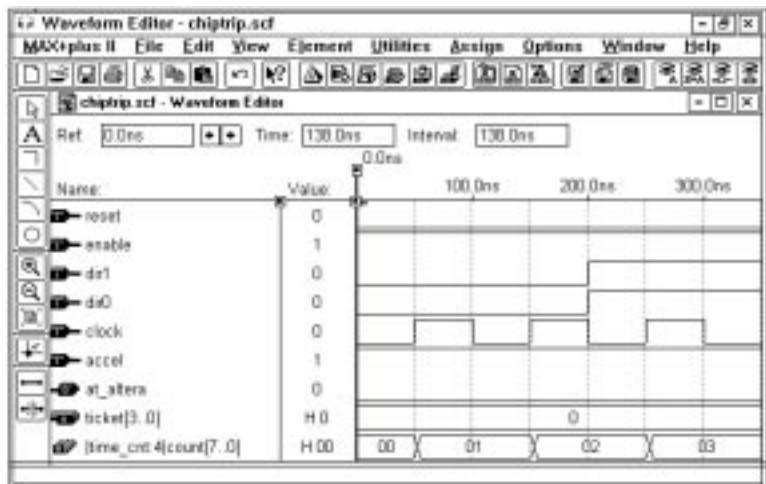
HDLはステート・マシン、真理値表、条件つきロジック、ブール代数式、加算、減算、等値および比較などを含む演算オペレータの使用もサポートしています。また、MAX+PLUS IIのソフトウェアは、HDL内に記述されたLPMファンクションの使用もサポートしています。これらの機能を活用することで、複雑なプロジェクトもコンパクトでハイレベルな記述で簡単に実現できるようになります。

波形によるデザイン入力



MAX+PLUS IIの波形エディタ (図3を参照) を使用して、波形によるデザイン・ファイルの作成や、シミュレーションとファンクション・テストを実行するため入力ベクタの作成とエディティングを行うことができます。また、この波形エディタは、シミュレーション結果をロジック・アナライザのように観測する機能も提供しています。

図3 MAX+PLUS II の波形エディタ



波形エディタを使用したデザイン入力、シーケンシャルな信号や一定の繰り返し信号が使用されるデザインに最適です。MAX+PLUS IIのコンパイラは最先端の波形合成機能を使用して、レジスタ付き回路、組み合わせ回路、ステート・マシンなどを表現したユーザ規定の入力と出力の波形からロジックを自動的に生成することができます。MAX+PLUS IIのコンパイラはステート・マシンのステート・ビットやステート変数を自動的に割り当てます。

また、MAX+PLUS IIの波形エディタは、波形のコピー、カット、ペースト、リピート、引き伸ばしなどの機能、内部のノードやフリップフロップ、ステート・マシン、メモリ・ワードなどからのデザイン・ファイルの作成機能、複数の波形をバイナリ、オクタル、デシマル、ヘキサデシマルの値で表示されるひとつグループにまとめる機能、ある信号セットの波形をもう一方の信号セットの波形に挿入して2組のシミュレーション結果を比較する機能、ファイル内へのコメントの挿入などの機能も持っています。

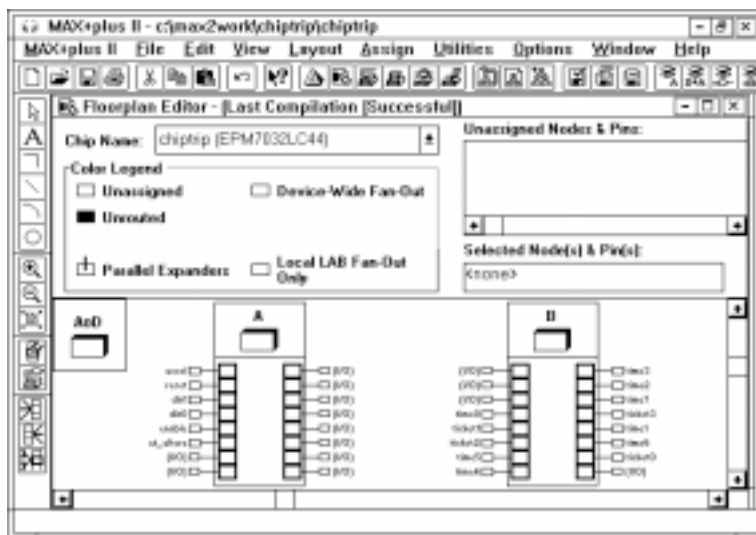
フロアプラン・エディティング



MAX+PLUS IIのフロアプラン・エディタ（図4を参照）を使用することで、デバイス・ピンやロジック・セルの指定を単純化することができます。プロジェクトに使用される各デバイスをグラフィック・イメージで表示することにより、ロジックの配置が容易に行えるようになります。このグラフィック・イメージには、ハイレベルな表示形式と詳細な表示形式の双方が提供されています。ピンとロジック・セルの位置の指定はデザインのコンパイル前に行うことができ、コンパイル後にピンやロジック・セルの位置の確認や変更を行うこともできます。

MAX+PLUS IIのフロアプラン・エディタを使用して、デバイス内に配置されたすべてのロジックと未使用のエリアを確認することができます。このフロアプラン・エディタはデバイス内のすべてのロジック・リソースやユーザ・アサイメント、ファン・インとファン・アウトの情報、アーキテクチャ固有の機能をカラー・コード化した画面で表示します。また、任意のノードやピンを新しい位置にドラッグすることもできます。ロジックのアサイメントは、特定のピンやロジック・セル、またはデバイス内のおおまかな位置に対して行うことができます。これらのアサイメントはMAX+PLUS IIの任意のアプリケーション内のコマンド・メニューを使用して行うことも可能です。すべてのアサイメントはテキスト・ベースのアサイメント・アンド・コンフィギュレーション・ファイル（.acf）にストアされ、このファイルをMAX+PLUS IIのテキスト・エディタを使用して変更、修正することができます。

図4 MAX+PLUS IIのフロアプラン・エディタ

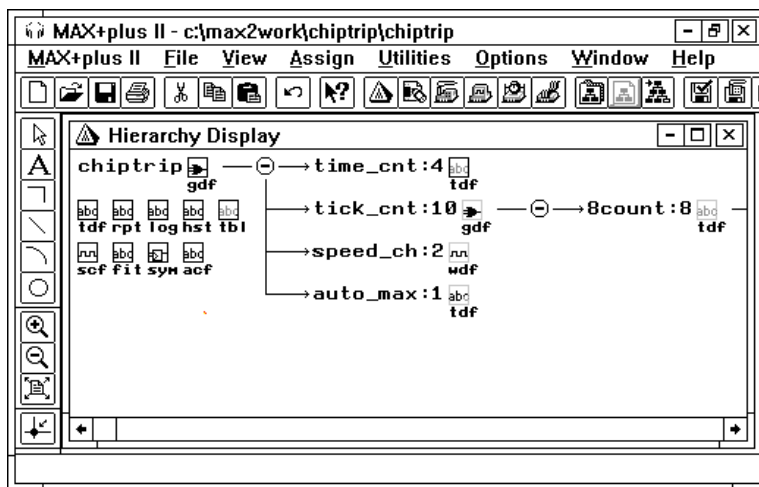


階層デザイン入力



回路図、HDL、波形などを含む複数の入力方法で作成されたデザイン・ファイルと業界標準のネットリスト・ファイルによる階層化されたデザインを構成することができます。MAX+PLUS IIのソフトウェアは、複数の階層レベルを持ったデザインをサポートしています。このMAX+PLUS IIの高い柔軟性により、デザイン内の各部に最適な入力方法の選択が可能です。プロジェクトの階層構造を表示できるMAX+PLUS IIの階層ディスプレイ機能は、デザインの階層間を自由に移動し、各デザイン・ファイルに対応したエディタを自動的にオープンします。図5を参照して下さい。

図5 MAX+PLUS II の階層ディスプレイ



デザインのコンパイル

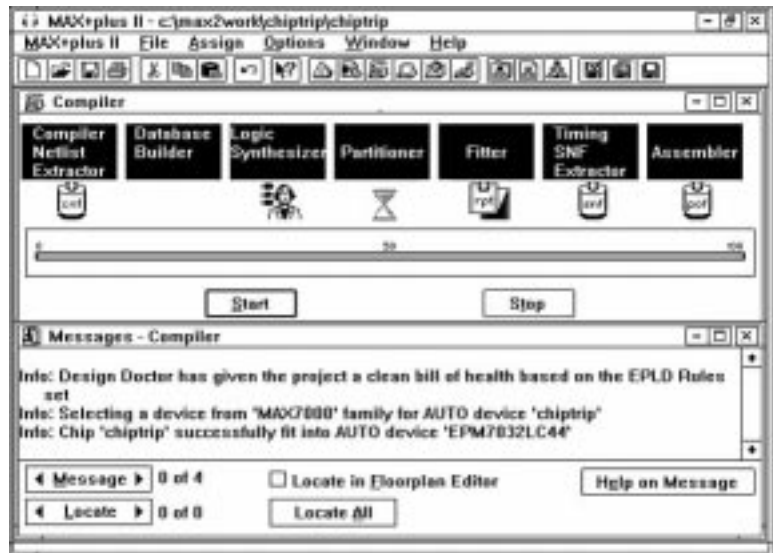
デザインがMAX+PLUS IIで処理されるとき、MAX+PLUS IIのコンパイラはデザイン・ファイルを読み込み、プログラミング、シミュレーション、タイミング解析のための出力ファイルを生成します。このとき、メッセージ・プロセッサがコンパイル時に検出されたエラーの位置を自動的に示すため、エラーの発生しているデザイン・ファイルを簡単に発見することができます。MAX+PLUS IIのコンパイラは、デザイン・ファイルをFLEX 10K、FLEX 800Q、FLEX 600Q、MAX 900Q、MAX 700Q、MAX 500Q、Classicファミリの各デバイスに最適化することができます。

メッセージ・プロセッサ



MAX+PLUS IIのメッセージ・プロセッサはMAX+PLUS IIの各アプリケーション・プログラムと連動して、接続や文法のエラーなどのような設計上の問題に対するエラー、インフォメーション、ワーニングなどのメッセージを表示すると共に、シミュレーション、タイミング解析、プログラミングに関する情報も表示します。このメッセージ・プロセッサからエラーの個所が含まれているファイルをオープンすることができます。エラーの個所は、自動的にハイライトされた状態となります。また、メッセージ・プロセッサはフロアプラン・エディタ内で現在のプロジェクトに存在するエラー個所を表示することができます。図6を参照して下さい。

図6 MAX+PLUS II のコンパイラとメッセージ・プロセッサ



論理合成とフィッティング



MAX+PLUS IIの論理合成モジュールは多様な合成オプションをサポートしています。この合成モジュールは適切なアルゴリズムを選択してロジックの最小化と冗長なロジックの削減を行い、ターゲット・デバイスのアーキテクチャに対してロジックのリソースが可能な限り効率的に使用されるようにします。また、このモジュールは使用されていないロジックをプロジェクトから取り除きます。

論理合成に提供されているオプションを活用することで、論理合成によって得られる結果をユーザがコントロールできるようになっています。アルテラは、複数の合成オプションが設定済みとなっている3種類の「レディ・メイド」の合成スタイルを提供しています。ユーザは、デフォルトの合成オプションに設定されているデフォルト合成スタイルの選択、カスタム・スタイルの作成、選択されたロジック・ファンクションに対する個別の合成オプションの指定を行うことができます。各デバイス・ファミリのアーキテクチャが提供している利点が活用されるようにするため、各デバイス・ファミリごとに合成スタイルをカスタマイズすることもできます。提供されている多くの最新ロジック・オプションを使用することで、論理合成をコントロールする機能がさらに強化されます。

コンパイラのフィット・モジュールは、ロジックの実現を繰り返し行って最適な解を求めるヒューリスティック手法を適用し、合成されるプロジェクトが1個または複数のデバイスに最高の状態で実現されるロジックの構成を選

折します。この自動フィッティング機能は、設計者を煩雑な配置配線の作業から解放します。このフィッティングは実現されたプロジェクトの状態やデバイス内で使用されていないリソースを示すレポート・ファイル(.rpt)を生成します。フィッティングの結果はMAX+PLUS IIのフロアプラン・エディタにも表示されます。

タイミング・ドリブンのコンパイルレーション



MAX+PLUS IIのコンパイラはユーザが規定した伝搬遅延時間(t_{PD})、「Clock-to-Output」遅延時間(t_{CO})、セットアップ・タイム(t_{SU})、クロックの動作周波数(f_{MAX})などのタイミング要求を実現することができます。これらのタイミング要求は、選択された特定のロジック・ファンクションやプロジェクト全体に指定することができます。レポート・ファイルやコンパイラのメッセージには、指定されたタイミング要求がどのように実現されたかを示す詳細な情報が提供されます。

デザイン・ルール・チェック



MAX+PLUS IIのコンパイラには、「デザイン・ドクタ」と呼ばれるデザイン・ルール・チェッカが含まれています。このデザイン・ドクタは各デザイン・ファイルのロジックをチェックし、デザインが生産に移管された後で発見されるようなシステム・レベルで信頼性の問題を引き起こす可能性のあるロジックを検出します。ユーザは、あらかじめ設定された3種類のデザイン・ルールの組み合わせから、いずれか1つを選択することができます。カスタムのデザイン・ルールの組み合わせを作成することもできます。

適用されるデザイン・ルールは、非同期入力、リップル・クロック、マルチ・レベルのロジックから生成されるクロック、プリセットおよびクリアの不適切な構成、レース・コンディションなどのシステムの信頼性を低下させる可能性があるデザイン上の問題点を除去するためのガイドラインとなります。デザイン・ルール・チェッカからレポートされるデザイン・ルールの違反箇所とその説明内容から、設計者はデザイン・ファイル内で修正が必要な箇所をすぐに判断することができます。

マルチ・デバイス・パーティショニング



プロジェクトが1個のデバイスで実現できない大規模なサイズとなっている場合は、コンパイラの自動分割モジュールがこれを同一デバイス・ファミリの複数のデバイスに分割します。このとき、このモジュールはデバイス間の接続に使用されるピンの数が最小になるようにしながら、プロジェクトができるだけ最小の個数のデバイスに分割されるようにします。そして、フィッタがロジックを指定された複数のデバイスに自動的に実現します。

この分割作業には、すべて自動的に行われるようにするか、一部をユーザがコントロールできるようにするか、またはすべてをユーザがコントロールするかを設定するオプションが提供されています。プロジェクトがターゲット・デバイスにフィッティングしないサイズとなっている場合は、ユーザが追加するデバイスのタイプと数を指定することができます。

業界標準のシミュレーション・フォーマット

MAX+PLUS IIのコンパイラは幅広いシミュレーション環境で使用できるネットリスト・ファイルを生成します。これらのネットリスト・ファイルには論理合成後のロジック・ファンクションとタイミングに関する情報が含まれており、これらを使用して業界標準のデザイン検証ツールによるデバイスまたはボード・レベルのシミュレーションを行うことができます。

MAX+PLUS IIには以下のインタフェースが提供されています。

インタフェース：MAX+PLUS IIのソフトウェア・サポート

<i>EDIF</i>	サード・パーティのシミュレータによるファンクショナル・シミュレーションとタイミング・シミュレーションを可能にするEDIF2 0 0および3 0 0のネットリスト・ファイルを生成
<i>Verilog HDL</i>	Verilog HDLシミュレータで使用可能なVerilog HDL ネットリスト・ファイルの生成
<i>VHDL</i>	VHDLシミュレータで使用可能なVHDL (1987および1993) ネットリスト・ファイルの生成

MAX+PLUS IIのコンパイラは各インタフェースに対してバージョン1.0または2.1の標準遅延出力フォーマット・ファイル (.sdo) を生成することができ、この出力ファイルにはタイミング・インフォメーションとファンクショナル・インフォメーションをそれぞれ別個のファイルで必要とするシミュレータに対してタイミング情報が提供されます。

プログラミング・ファイルの生成

MAX+PLUS IIのコンパイラとプログラマはプログラミング・ファイルを生成することができます。MAX+PLUS IIは下記のパログラミング・ファイルのフォーマットをサポートしています。

- プログラマ・オブジェクト・ファイル (.pof)
- FLEXチェイン・ファイル (.fcf)
- SRAMオブジェクト・ファイル (.sof)
- JEDECファイル (.jed)
- JTAGチェイン・ファイル (.jcf)
- ヘキサデシマル (インテル・フォーマット) ファイル (.hex)
- タブラ・テキスト・ファイル (.ttf)
- ロウ・バイナリ・ファイル (.rbf)
- シリアル・ビットストリーム・ファイル (.sbf)
- シリアル・ベクタ・フォーマット (.svf) ファイル
- Jam™ファイル (.jam)



これらのファイル・フォーマットを使用したデバイスのプログラミングとコンフィギュレーション方法については、MAX+PLUS IIのHelp機能を利用して確認して下さい。

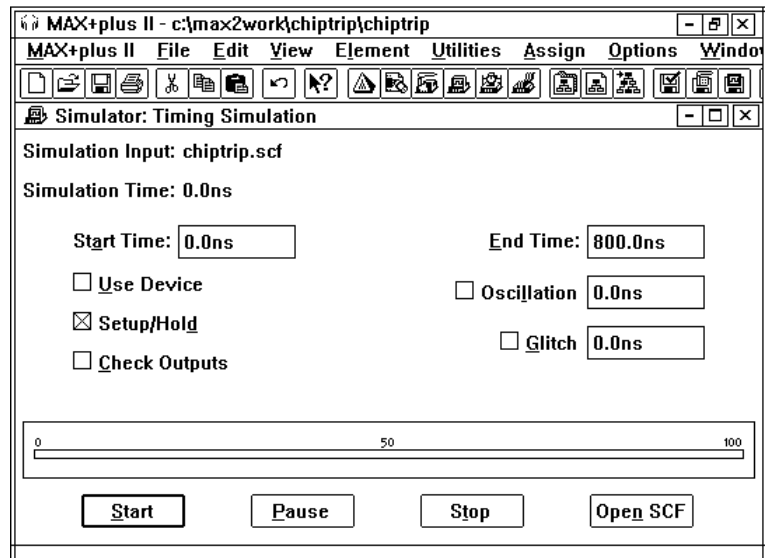
デザインの検証

MAX+PLUS IIのソフトウェアには、デザインのロジック動作と内部タイミングをテストすることができるシミュレーションとタイミング解析を含むデザインの検証機能が提供されています。アルテラのデバイスに対するデザイン検証ツールは、多くのEDAベンダからも提供されています。

シミュレーション

MAX+PLUS IIのシミュレータは1個または複数のデバイスで構成されているプロジェクトのモデリングに対して高い柔軟性を提供しています。MAX+PLUS IIのシミュレータはコンパイル時に生成されるシミュレーション・ネットリスト・ファイル(.snf)を使用して、プロジェクトに対するファンクショナル・シミュレーション、タイミング・シミュレーション、またはマルチ・デバイス・シミュレーションを実行します。図7はMAX+PLUS IIのシミュレータの画面を示したものです。

図7 MAX+PLUS II のシミュレータ



シミュレータへの入力信号の規定は、ベクタ入力言語での記述、またはMAX+PLUS IIの波形エディタを使用して波形を描画することで行えます。シミュレーション結果は波形エディタまたはテキスト・エディタで観

測することができ、これらを波形またはテキストのファイルとして出力することができます。

プロジェクト内のグリッジや発振およびレジスタのセットアップ・タイムやホールド・タイムの違反のモニタ、ユーザが規定した条件が発生したときのシミュレーションの停止、フリップフロップを強制的にLowまたはHighレベルにする操作、ファンクション・テストの実行、RAMまたはROMブロック内のメモリの値の指定などを含む多様なタスクを実行するコマンドは、インタラクティブに、またはコマンド・ファイルを使用して指定することができます。フリップフロップのセットアップ・タイムやホールド・タイム、クロックの最小パルス幅などが規定外になっていたり、一定の期間に信号の発振が確認された場合は、メッセージ・プロセッサがその問題点をレポートします。この場合、メッセージ・プロセッサは波形エディタ内で問題が発生している時間の位置を示し、またエラーの原因となっているデザイン・ファイルの個所を表示します。

また、2組のシミュレーション結果を波形エディタの中に挿入することによって、シミュレーションされた結果を簡単に比較することができます。

ファンクショナル・シミュレーション



MAX+PLUS IIのシミュレータはプロジェクトの論理合成前にデザインの論理動作をテストするファンクショナル・シミュレーションをサポートしているため、論理上のエラーを短時間で発見し、修正することができます。MAX+PLUS IIの波形エディタはファンクショナル・シミュレーション結果を波形表示し、組み合わせ回路機能を含むプロジェクト内のすべてのノードを簡単にアクセスすることができます。

タイミング・シミュレーション



タイミング・シミュレーションでは、MAX+PLUS IIのシミュレータが完全に合成、最適化されたプロジェクトをテストします。タイミング・シミュレーションは0.1nsの分解能で実行されます。

マルチ・デバイス・シミュレーション



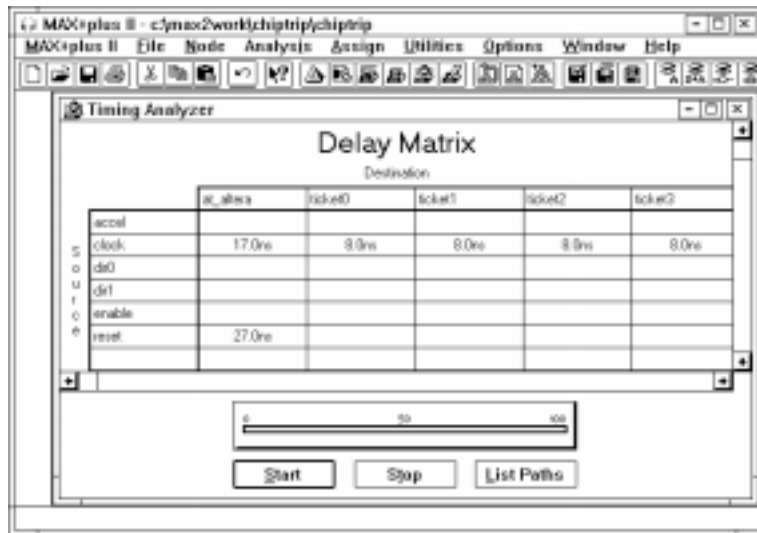
MAX+PLUS IIのソフトウェアは複数のアルテラ・デバイスのタイミングおよびファンクショナル・インフォメーションを結合し、複数のデバイスを同時に動作させたときの状態をシミュレーションすることができます。同一プロジェクト内に複数のデバイス・ファミリが使用されている場合でも、このマルチ・デバイス・シミュレーションを行うことができます。

タイミング解析



MAX+PLUS IIのタイミング・アナライザは、任意のポイント間の遅延時間の計算、特定のデバイス・ピンに要求されるセットアップ・タイムとホールド・タイムの計算、最高クロック周波数の計算などを行う機能を持っています。MAX+PLUS IIのデザイン入力ツールはタイミング・アナライザとリンクしているため、デザイン・ファイル内でトレースするポイント間にタグを付加したり、フロアプラン・エディタでもっとも長い遅延時間のパスやもっとも短い遅延時間のパスを判断することができます。さらに、メッセージ・プロセッサはタイミング・アナライザが認識したクリティカル・パスとその位置をソース・デザイン・ファイル内またはフロアプラン・エディタ内で表示することができます。図8を参照して下さい。

図8 MAX+PLUS IIのタイミング・アナライザ



デバイス・プログラミング

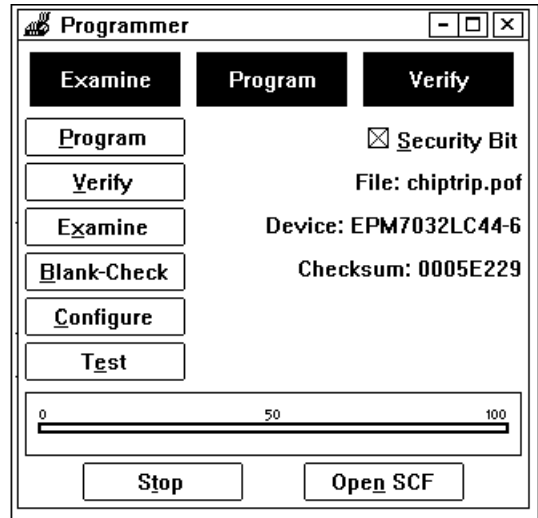


図9に示されるMAX+PLUS IIのプログラマは、プログラミング・ファイルを使用してアルテラのデバイスをプログラムします。ユーザはこのプログラマを使用して、デバイスのプログラム、ベリファイ、エグザミン、ブランク・チェック、ファンクション・テストが行えます。

アルテラは、ロジック・プログラマ・カード、マスタ・プログラミング・ユニット (MPU) およびプログラミング・アダプタを含むデバイスのプログラム、ベリファイに必要なすべてのハードウェアとソフトウェアを提供しています。PCの空きスロットに挿入されるロジック・プログラマ・カードはMPUをドライブします。MPUはプログラミング・アダプタとデバイス間の電氣的な接続が確実にに行われていることを確認するためのコンティニュー

イティ・チェックを実行します。MPUは対応したプログラミング・アダプタを使用したファンクション・テストもサポートしており、シミュレーションで作成されたベクタをプログラムされたデバイスに与え、デバイスの動作機能を検証することができます。

図9 MAX+PLUS II のプログラマ



アルテラはデバイスのプログラミングまたはコンフィギュレーションを行うことができるByteBlaster™パラレル・ポート・ダウンロード・ケーブルとBitBlaster™シリアル・ダウンロード・ケーブルを提供しています。ByteBlasterダウンロード・ケーブルはPCのパラレル・ポートに、BitBlasterはPCまたはUNIXワークステーションのRS-232標準シリアル・ポートに接続され、コンフィギュレーションまたはプログラミングのデータをデバイスに供給します。また、ByteBlasterまたはBitBlasterを使用して、JTAGチェーンのモードで接続されている複数のデバイスをMAX+PLUS IIのプログラマからプログラムすることもできます。

BitBlasterおよびByteBlasterダウンロード・ケーブル、アルテラのプログラミング・ハードウェアとソフトウェア、サード・ベンダのプログラミング・ハードウェア、JTAGチェーンを使用したプログラミングとコンフィギュレーションの詳細については、下記の資料を参照して下さい。

- 1998年版データブックに掲載されている「ByteBlaster Parallel Port Download Cable」のデータシート
- 1998年版データブックに掲載されている「BitBlaster Serial Download Cable」のデータシート
- 1998年版データブックに掲載されている「Altera Programming Hardware」のデータシート

- 1998年版データブックに掲載されている「*Programming Hardware Manufacturers*」のページ
- MAX+PLUS IIのHelp機能で提供される「Setting Up Multi-Device JTAG Chains」の内容

オンライン・ヘルプ



MAX+PLUS IIのソフトウェアに関するすべての情報は、オンライン・ヘルプを通じて提供されています。このオンライン・ヘルプには、MAX+PLUS IIのすべてのアプリケーション・ソフトウェアや、アルテラの提供するプリミティブ、メガファンクション、マクロファンクションに関するすべての最新情報が含まれており、表示されたエラー・メッセージに対するその発生原因と想定される対策、関連するアルテラのドキュメントや参考資料、テキスト・ファイルのフォーマット（AHD Lやベクタ・ファイル）、アルテラのデバイスやアダプタに関する情報なども提供されています。

このオンライン・ヘルプは、1回だけのキー操作またはマウスのクリックだけでアクセス可能です。F1キーを押すだけで、ダイアログ・ボックス、ハイライトされたメニュー・コマンド、ポップアップ・メッセージに関する情報をすぐにアクセスすることができます。ShiftキーとF1キーを同時に押すか、ツール・バーに表示されている「context-sensitive help」を選択することでマウスのポインタが？マークのポインタに変化し、このポインタをロジック・ファンクションのシンボルまたは名称、テキスト・ファイルのキーワードなどを含むスクリーン上の任意の項目上でクリックすることによって、各項目に関連した情報をすぐに表示させることができます。

ソフトウェア・メンテナンス

アルテラのソフトウェア・メンテナンス・プログラムにより、3ヶ月ごとにMAX+PLUS IIの開発ソフトウェアの最新バージョンがユーザに提供されるようになっていきます。このソフトウェア・メンテナンス・プログラムは、各ユーザに以下のような利点を提供します。

- **最新デバイスのサポート**：アルテラは業界でもっとも高い集積度と性能を持った製品を供給しています。アルテラは継続的に新しい製品やパッケージ・オプションを提供しており、ユーザは常にこれら最先端のデバイスとパッケージを使用してシステムを構築することができます。
- **新しいソフトウェア機能**：ソフトウェアに提供される新たな機能や機能強化により、MAX+PLUS IIはさらに使いやすいソフトウェアとなり、コンパイルに要する時間が短縮されます。MAX+PLUS IIのメンテナンス契約を締結することで、HDLの合成機能からタイミング・ドリブン・コンパイレーションに至るMAX+PLUS IIのアップグレードされた最新機能が活用できるようになります。
- **最新のプログラミング方法**：MAX+PLUS IIは、イン・システム・プログラマビリティ（ISP）、イン・サーキット・リコンフィギュラビリティ（ICR）、新しいプログラミング/テスト用語であるJamなどを含む最新のプログラミング方法をサポートしています。アルテラはプロ

プログラミング用のハードウェアとソフトウェアを継続的に改良し、これらのプログラミング方法がさらに簡単で使いやすくなるようにしています。

- サード・パーティのEDAツールとのインタフェース：MAX+PLUS IIは主要なEDAベンダのデザイン・ツールとのインタフェースを標準機能として提供しています。これらのインタフェースの提供により、ユーザはもっとも習熟した設計環境でデザインを作成し、アルテラのデバイスに実現することができます。アルテラはサード・パーティのEDAツールとのインタフェース機能の強化とアップグレードを定期的に行っており、MAX+PLUS IIの設計環境が継続的に強化されるようになっています。

推奨システム構成

MAX+PLUS IIを最適な環境で動作させ、最適化された結果が得られるようにするため、アルテラは下記のシステム構成を推奨しています。

PCのシステム構成

- 200MHzのペンティアム・ベース・モデルまたはその上位モデル
- 表2に示す空きメモリ・スペース
- Microsoft Windows NTバージョン3.51以降またはWindows 95
- Microsoft Windows互換グラフィック・カードと17インチのカラー・モニタ
- CD-ROMドライブ
- Microsoft Windows互換2ボタン・マウス
- プログラミング・カード挿入用フルレンジ8ビット・スロット
- パラレル・ポート（LPTポート）
- BitBlasterダウンロード・ケーブル接続用RS-232シリアル・ポート

表2 MAX+PLUS IIシステムに要求されるメモリ容量

デバイス・ファミリ	使用可能メモリ容量（Mバイト）	実装RAM容量（Mバイト）
FLEX 10K	256	128
FLEX 8000	64	32
FLEX 6000	64	32
MAX 9000	64	32
MAX 7000	48	16

Sun Ultra 2 SPARCstationのシステム構成

- カラー・モニタ付きSun Ultra 2 SPARCstation
- 表2に示す使用可能メモリ容量
- Sun OpenWindows 3.0以降
- Solaris 2.5以降
- ISO 9660互換CD-ROMドライブ
- BitBlasterダウンロード・ケーブル接続用RS-232シリアル・ポート

HP 9000 Series 700/800 ワークステーションのシステム構成

- カラー・モニタ付きHP 9000 Series 700/800 ワークステーション
- 表 2 に示す使用可能メモリ容量
- HP-UX バージョン10.20以降
- HP-VUE
- ISO 9660互換CD-ROMドライブ
- BitBlasterダウンロード・ケーブル接続用RS-232シリアル・ポート

IBM RISC System/6000ワークステーションのシステム構成

- カラー・モニタ付きIBM RISC System/6000ワークステーション
- 表 2 に示す使用可能メモリ容量
- AIXバージョン4.1以降
- ISO 9660互換CD-ROMドライブ
- BitBlasterダウンロード・ケーブル接続用RS-232シリアル・ポート



システム構成に関する最新情報については、MAX+PLUS IIに添付されているread.meのファイルで確認して下さい。

ソフトウェア・ パッケージ・ オプション

アルテラはMAX+PLUS IIのPCバージョンおよびUNIXワークステーション・バージョンに対して幅広い拡張用製品やコンフィギュレーション・ツールを提供しています。詳細はアルテラのウェブ・サイト、<http://www.altera.com>で確認して下さい。

アルテラのMAX+PLUS II開発システムおよびソフトウェア・パッケージに関する最新情報については、日本アルテラまたは下記の販売代理店へお問い合わせ下さい。



日本アルテラ株式会社

〒163-0436
東京都新宿区西新宿2-1-1
新宿三井ビル私書箱261号
TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan/>

本社 **Altera Corporation**

101 Innovation Drive,
San Jose, CA 95134
TEL : (408) 544-7000
<http://www.altera.com>