

特長

- システム・レベルの集積化のためにデザインされた高集積エンベデッド・プログラマブル・ロジック・デバイス (PLD)
 - 100,000ゲートから1,000,000標準ゲート (表1を参照)
 - 最大42,240個のロジック・エレメント (LE)
 - 最大4,224個のマクロセル
 - 最大540,672ビットのメモリ
- MultiCore™エンベデッド・アーキテクチャ
 - FLEX® 10K、FLEX 600Q MAX® 7000の各アーキテクチャが提供する利点を統合および拡張
 - ルック・アップ・テーブル (LUT) によるロジック、プロダクト・タームによるロジック、およびメモリをシングル・アーキテクチャに集積
 - IP (Intellectual Property: 設計資産) の効率的な集積化を実現
 - 4レベルの連続した配線構造のFastTrack Interconnect™により、高速で予測可能なタイミングを実現
- 最新のエンベデッド・システム・ブロック (ESB)
 - ESBあたり2,048プログラマブル・ビット
 - プロダクト・ターム・ベースのロジック、LUTベースのロジック、RAM、ROM、またはCAM (Content Addressable Memory) のいずれかにコンフィギュレーション可能
 - カスケード接続による大規模ファクションの構成をサポート

暫定仕様 (Preliminary Information)

表1 APEX 20Kデバイスの特長 注(1)

機能	EP20K100	EP20K160	EP20K200	EP20K300	EP20K400	EP20K600	EP20K1000
最大ゲート数	263,000	404,000	526,000	728,000	1,052,000	1,537,000	2,670,000
標準ゲート数	53,000 to 106,000	82,000 to 163,000	106,000 to 211,000	147,000 to 293,000	213,000 to 423,000	311,000 to 618,000	541,000 to 1,073,000
LE数	4,160	6,400	8,320	11,520	16,640	24,320	42,240
最大マクロセル数	416	640	832	1,152	1,664	2,432	4,224
ESB数	26	40	52	72	104	152	264
最大RAMビット数	53,248	81,920	106,496	147,456	212,992	311,296	540,672
最大ユーザI/O数	250	320	320	420	500	620	780

注:

(1) APEX™ 20Kファミリの最初の製品が1999年の第1四半期に入手可能になる予定です。

さらに多くの 特長

- エンベデッド・プロダクト・ターム・ロジック
 - アドレス・デコーダやステート・マシンのような大きなファン・インを必要とするコントロール・ロジックのアプリケーションに最適
 - 高性能なプロダクト・タームによる最小の遅延

- 高性能デュアル・ポートRAM
 - 独立したリードとライトのポート
 - 同期および非同期アクセスをサポート
 - 150MHzのFIFO (First-in First-Out) 性能
- 3.3VのPCI (Peripheral Component Interconnect)バス仕様
 - APEX 20Kは、PCI SIG (Special Interest Group) のPCIロ-カル・バス仕様、Revision 2.1に準拠
 - 64ビット、66MHz性能
- 業界標準の低電圧I/Oインタフェースをサポート
 - LVTTTL (Low Voltage Transistor-to-Transistor Logic)、LVC MOS (Low Voltage CMOS)、GTL/GTL+ (Gunning Transceiver Logic)、SSTL-3 (Sub-Series Terminated Logic) およびLVDS (Low-Voltage Differential Signaling) の各標準インタフェースの選択が可能
- 強化されたPLL (Phase-Locked Loop)
 - クロック周波数の1x、2x、および4xの通信機能を実現するClockBoost™回路
 - 1MHzから200MHzの出力周波数範囲をサポートするClockLock™同期回路
- 最先端のプロセス・テクノロジー
 - 0.25ミクロン、6層メタルCMOS SRAMプロセスを採用し、0.18ミクロン・プロセスへの移行を予定
 - MultiVolt™ I/Oインタフェースにより、1.8V、2.5V、および3.3Vの複数の電源電圧を使用するシステムをサポート
- 従来のBGA (Ball Grid Array) パッケージの半分のボード・スペースで実装できる1.0mmおよび0.8mmピッチのFineLine BGA™パッケージを提供
- ペンティアム・ベースのPC、およびSun SPARCstation HP9000シリーズ700、IBM RISC System/6000の各ワークステーション上で動作するアルテラの第4世代開発システム、Quartus™ (クオータス) ソフトウェアによるデザイン・サポート

Altera, APEX, APEX 20K, FLEX, MAX, MAX 7000, FLEX 10K, FLEX 6000, FastTrack Interconnect, MultiCore, FineLine BGA, MultiVolt, Quartus, EP20K100, EP20K160, EP20K200, EP20K300, EP20K400, EP20K500, EP20K1000, ClockBoost, ClockLockは、Altera Corporationの米国および該当各国におけるtrademarkまたはservice markです。この資料に記載されているその他の製品名などは該当各社のtrademarkです。Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



Copyright © 1998 Altera Corporation. All rights reserved.

I.S. EN ISO 9001

ALTERA®

日本アルテラ株式会社

〒163-0436

東京都新宿区西新宿2-1-1

新宿三井ビル私書箱261号

TEL: 03-3340-9480 FAX: 03-3340-9487

<http://www.altera.com/japan/>

本社 **Altera Corporation**

101 Innovation Drive,

San Jose, CA 95134

TEL : (408) 544-7000

<http://www.altera.com>

この資料に記載された内容は予告なく変更されることがあります。最新の情報は、アルテラのウェブ・サイト (<http://www.altera.com>) でご確認ください。この資料はアルテラが発行した英文の資料を日本語化したものであり、アルテラが保証する規格、仕様は英文オリジナルのものです。